

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-047057
 (43)Date of publication of application : 14.02.1997

(51)Int.CI. H02P 5/00
 B41J 19/18

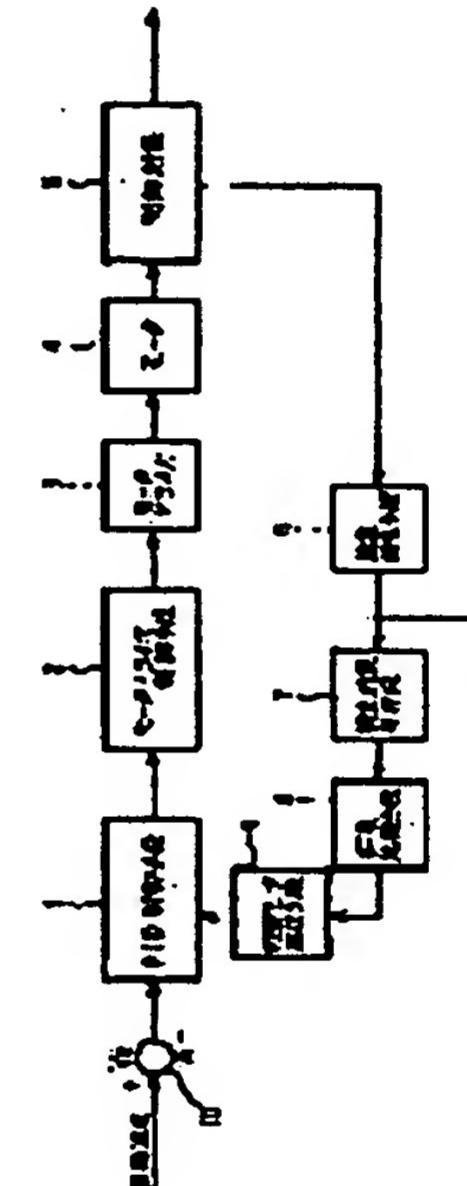
(21)Application number : 07-208348 (71)Applicant : CANON INC
 (22)Date of filing : 24.07.1995 (72)Inventor : TAKAHASHI SEIJI

(54) MOTOR CONTROLLER AND RECORDER EMPLOYING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform optimal feedback control even upon fluctuation of load by performing speed control depending on the selection results of means for selecting one control mode.

SOLUTION: A PID control means 1 calculates a control amount based on a difference V_e calculated by a difference calculating means 10, and a control mode comprising preset control constants among a plurality of control modes comprising different combinations of control constants. A motor driver control means 2, a motor driver 3, a motor 4 and a control object 5 are driven depending on the control amount thus calculated. A speed produced by driving the control object 5 is detected by a speed detection means 6 and the detection results are held in a detection results holding means 7. Acceleration of the control object is then calculated from the detection results held in the holding means 7 and compared with a comparison value by a comparing means 8.



LEGAL STATUS

[Date of request for examination]

clm 2, 5, 9

[Date of sending the examiner's decision of rejection]

JP 04 017

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

PWM latch 60 and causing the PWM cycle to repeat. FIGS. 7 and 9 together give an overview of the operation of the PWM driver circuit of FIG. 6 for various situations.

When at time t_3 , in the (right as shown) PWM period (FIGS. 8a-8k), V_{RC} reaches clamp voltage $V_{CC}(3R/(3R+2R))$, the signal V_{CPL} (FIG. 8b) from the clamp circuit 66 goes high producing a zero voltage at the output of the inverting OR gate 68 and causing the inverted output V_1 of comparator 67 to go high. The load current (second PWM period shown in FIG. 8c) reaches the level at which $V_s = V_{reg}$ before the rising capacitor voltage V_{RC} reaches the clamp voltage, and t_4 occurs before t_2 . Now the inverted signal V_1 from the output of the comparator 67 (FIG. 8d) and the signal V_2 from the output of the comparator 70 are combined at the input of AND gate 84 to produce a high logic pulse having a width from t_4 to t_3 in the V_{not_reg} signal (FIG. 8k) at pad 48.

In this second PWM period of FIGS. 8a-8k, the set signal (FIG. 8f) goes low at time t_2 which is the same time that the rest signal shown in FIG. 8i goes high. The PWM control circuitry is operating at the minimum duty cycle value. Due to the set-dominant behavior of the latch 60 in the circuit of FIG. 6a, the PWM controller will also be operating at the minimum duty cycle value, when as indicated in the second period of FIGS. 8a-8k, the time during which the load current exceeds the desired reference level (V_{reg}/R_s) occurs prior to the time at which the set signal goes low, t_2 .

In the case that the load current exceeds the desired reference level at a time (sample time) between t_2 and t_3 , the V_{not_reg} signal will be high from the time the load current exceeds the desired reference level until t_3 . In this case, the set input will already be low and since output of comparator 80 is high the PWM latch may be reset immediately thereby affecting the PWM duty cycle. In such a case, the duty cycle of the PWM controller will not be at a minimum value, but instead will be at a near minimum value. Thus for the circuit in FIG. 6a, the V_{not_reg} signal indicates that the PWM duty cycle has dropped to the minimum or nearly the minimum duty cycle and as a result may be used as a signal to indicate that load current is either poorly regulated or near to the level at which the current will become poorly regulated.

Furthermore, as long as the driving transistor turn-off delays are such that the drivers turn off after the end of the sample time, the reset signal once high will remain high and thus the pulse width of the V_{not_reg} pulse can be used as an indication of how nearly the circuit is operating to the minimum duty cycle and thus how close the load current is to the level at which poor regulation will occur (i.e. the narrower the closer).

FIGS. 9a-h show waveforms in each of the PWM circuits of FIGS. 6a, 6b and 6c for the load condition that the moment t_4 at which load current rises to exceed the reference current I_{reg} occurs during the sample time (t_2 to t_3), so that t_4 occurs before t_2 .

It can be seen that the circuit of FIG. 6b is the same as that of FIG. 6a, except for the removal of the connection from the output of latch 60 to a third input of AND gate 82, the removal of the AND gate 76 and inclusion of a direct connection of the V_1 signal to the set input of latch 60 and a direct connection of the output of comparator 70 to an input of AND gate 84, and the addition of a connection from the output of comparator 80 to a third input of AND gate 84.

This has the major effects that, unlike in FIG. 6a, the PWM latch 60 in FIG. 6b cannot be reset until the voltage V_{RC} (FIG. 11d) across oscillator capacitor 64 stops rising at t_4 , and that during the span of time between t_4 and t_2 , the load

current (FIG. 11a) rises above I_{reg} and the high pulse in signal V_{not_reg} (FIG. 11f) endures for this same span of time. On the other hand, under these same load conditions in the circuit of FIG. 6a, the load current (FIG. 11a) does not overshoot I_{reg} and the high pulse in V_{not_reg} (FIG. 11e) is a mere impulse of no significant width.

Thus FIG. 6a has the advantage that under this load condition, the load current does not go far out of regulation, and the circuit of FIG. 6b has the advantage that under this load condition that the width of the high V_{not_reg} pulse is a measure of the degree by which the PWM controller fails to regulate.

It can be seen that the circuit of FIG. 6c is the same as that of FIG. 6a, except for breaking the connection between the output of AND gate 84 and the LC pad at which V_{not_reg} is generated, and adding a V_{not_reg} latch 85 that is set from the output of AND gate 84 and reset from the output of comparator 67. Thus the circuit of FIG. 6c has the advantage that under this load condition, the load current (FIG. 11c) does not go far out of regulation and the advantage that the width of the high V_{not_reg} pulse (FIG. 11g) is a measure of the degree by which the PWM controller fails to regulate.

The PWM controlled bridge driver of FIG. 12 includes a fixed off-time PWM controller of the same construction as in the bridge driver of FIG. 6a; except for removal of the components necessary there to provide a sample time during which a not_reg signal may be provided, i.e. sample comparator 70, voltage divider 74 and AND gates 76 and 84; and except for the addition of components that will provide for PWM operation with mixed two quadrant and four quadrant operating modes in each PWM period.

Of course, the PWM bridge circuit of FIG. 6a (and FIGS. 6b and 6c) can be made to operate with mixed two and four quadrant modes, but must be instructed to do so by applying the appropriately timed signals V_{mode} to terminal pad 57. In FIG. 10, a mode comparator 96 is added externally to the integrated circuit chip 45 (of FIG. 6a) and an external voltage divider 98, made up of resistors of values R_1 and R_2 , is connected to pad 97.

Similarly, the integrated circuit of FIG. 12 is the same as that of FIG. 6a, except a mode comparator 96 and a terminal pad 97 have been added, and an external voltage divider 98 is connected between V_{CC} and ground to provide the mode reference voltage V_m . In FIG. 12, when the timer-capacitor voltage V_{RC} rises to V_m the output of the comparator 96 changes from a high to a low binary level, where

$$V_m = R_2 / (R_1 + R_2)$$

The inputs of comparator 96 are connected respectively to the timer capacitor C_T and to the voltage divider 98 via pad 97.

In each PWM period, before the voltage V_{RC} rises to the voltage V_m of voltage divider 98, the output of mode comparator 96 is high holding on via OR gate 77 the bridge driver transistor 52 while driver transistor 53 is free to be chopped by the PWM gating pulses from the output of the latch 60. When V_{RC} further rises to exceed V_m , the output of mode comparator 96 goes low freeing both driver transistors 52 and 53 to be chopped by the signal from the PWM latch 60. These two states during the off-time correspond respectively to two quadrant and four quadrant mode operation. When at time t_4 the PWM gating pulse from the output of latch 60 goes low and turns off the bridge driver transistors, four quadrant mode operation continues for a first portion of the off-time until V_{RC} drops below V_m and during the remainder of the off-time two quadrant mode operation is in effect.

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

DESCRIPTION OF THE PREFERRED EMBODIMENTS

The integrated circuits in FIGS. 6a, 6b and 6c include fixed off-time bridge driver control circuits that permit a predetermined maximum amount of excessive load current to occur each PWM period, relative to a reference voltage V_{ref} that may be applied at terminal pad 46, before a binary not-regulating signal pulse is produced at terminal pad 48.

The bridge has four driver transistors 51, 52, 53 and 54. For the sake of clarity the PWM driver control circuits in FIGS. 6a, 6b and 6c have been shown to control only the bridge driving transistors 52 and 53 for driving current through the inductive load 56 from right to left as shown. With the addition of the control circuitry shown in FIG. 7 the PWM control signals may be connected to the gating elements 58 and 59, as well as driving transistors 53 and 52, in such a manner to allow the PWM circuitry to control the load current bi-directionally. When a high binary signal V_{mode} is applied to pad 57, the bridge transistors operate in the two quadrant operating mode, i.e. transistor 52 is held on while transistor 53 is chopped by the Q output signal from the latch 60, a simple set/reset latch.

Referring now to the circuit of FIG. 6a, the AND gate 82 may let through the set pulses from the output of sensing comparator 80 but has the effect of preventing resetting of the latch 60 until the set pulse at the input latch 60 terminates, and thus the AND gate 82 renders the latch set-dominant. AND gate 84 produces a high logic signal V_{not_reg} when during the time span from t_2 to t_3 (FIG. 8) the bridge load current I_L exceeds the level at which V_s equals V_{ref} . In practice, even though at time t_0 when V_s has risen to equal V_{ref} , the latch 60 is latched off, the driven bridge transistors respond by turning off after a delay time that is a direct function of the circuit propagation delays including the driving transistors switching speeds. This PWM bridge driver control circuit provides a constant off time, i.e. the time (t_{off} from t_0 to t_1) in each PWM period during which the chopped driver transistor(s) is (are) off.

In FIG. 6a (and FIGS. 6b and 6c), the fixed off time t_{off} is a function of the time constant R_7C_7 of the external resistor 65 and capacitor 64, namely $t_{off} = R_7C_7 \ln(0.6V_{cc}/0.22V_{cc})$, which for the above given resistor ratios of voltage dividers 74 and of clamp circuit 66 is very nearly equal to R_7C_7 . One reason to adjust the charge-current ramping rate may be to adjust (e.g. upward) the above-noted delay time after t_0 by an (upward) adjustment of the capacitance of capacitor 64.

The wave forms shown in FIGS. 8f, 8g, 8j and 8k are respectively of the set pulse signal, the load current, the reset signal and the bridge-driver PWM gating signal from the latch 60 in the circuit of FIG. 6a.

The user of this PWM bridge control circuit may first adjust the capacitance of the external capacitor 64 to adjust the ramp rate of the oscillator R_7C_7 charging current in the capacitor 64. This ramp rate determines the sum of the blanking time and sample time. To allow a low value of PWM duty cycle to be achieved, the blanking time is typically set to the minimum value that avoids false tripping of the PWM latch 60.

This minimum required blanking time is largely a function of the PWM circuit delays, tolerances in the system and the switching characteristics of the driving transistors and flyback diodes. The sample time may be as short as the time required for the circuit propagation delays to produce a valid V_{not_reg} pulse but may also be of longer duration. Thus for a given semiconductor circuit the desired blanking and sample times may be determined and hence the value of

capacitor 64 and pull-up current source 62 may be chosen to determine the sum of the blanking and sample times. The ratio of the resistors in the voltage divider 72 may be chosen to divide the sum of the blanking and sample times into the desired ratio of blanking time to sample time. The user may then adjust the resistor 65 to set the fixed off-time, t_{off} .

This PWM control circuit is described in more detail in our provisional patent application, Ser. No. 60/001,238, having become a complete patent application entitled PWM DRIVER FOR AN INDUCTIVE LOAD WITH DETECTOR OF A NOT_REGULATING PWM CONDITION, which is assigned to the same assignee as is the present invention. That patent application also describes other PWM control circuits, not presented here, that generate a V_{not_reg} signal, and for these reasons that application is incorporated by reference herein.

With further respect to FIG. 6a, the initiation at time t_1 of each set pulse (FIG. 8f) at the set input of latch 60, occurs when the current source 61 is switched on via a signal from the OR gate 63 caused by the output of the oscillator/comparator 67 going low which occurs when the capacitor discharges to a voltage $V_{cc}(R/(R+3.5R))$ determined by the voltage divider 74. The switchable current-source current I_{cs} (FIG. 8a) is turned on via OR gate 68 and begins charging the external capacitor 64. When at time t_2 the capacitor voltage V_{RC} (FIG. 8c) reaches $V_{cc}(3R/(3R+2R))$, determined by the voltage divider 72, the output signal V_2 (FIG. 8e) from comparator 70 goes low and the set pulse at the input of the latch 60 goes low allowing the output of comparator 80 to reset or not to reset the latch as determined by V_{ref} and the voltage across the sense element 79.

Referring to FIG. 9, the rate of the rising portion in the wave form of voltage across the capacitor 64 in FIG. 6a determines the blanking time, t_1 to t_2 , and the sample time, t_2 to t_3 , is simply the remaining time in which the capacitor charges to the clamp voltage of 0.6 V_{cc}.

When at time t_3 in the (left as shown) PWM period (FIGS. 8a-8m), V_{RC} reaches clamp voltage $V_{cc}(3R/(3R+2R))$ determined by the voltage divider in the clamp circuit 66, the signal V_{cp1} (FIG. 8b) from the clamp circuit 66 goes high producing a zero voltage at the output of the inverting OR gate 68 and causing the inverted output V_1 of comparator 67 to go high. When at time t_4 the current through the sense element 79 causes the voltage on the positive input to the comparator 80 to be greater than V_{ref} , the comparator output goes high. Since all inputs to the AND gate 82 are high, the PWM latch is reset thereby turning off driving transistor 53. Because of circuit delays, the chopped driver transistors turn off and load current I_L begins to decay at time t_4 after time t_3 as illustrated (exaggerated) in FIG. 8g. Also, when the Q output of

During proper PWM regulation (waveforms in the first period shown in FIGS. 8a-8k), V_{RC} remains clamped to the clamp voltage until at time t_5 the inductive load current (FIG. 8g) has reached the level at which the voltage across the sensing resistor 79 exceeds the applied voltage V_{ref} and sensing comparator 80 produces a signal (FIG. 8h) that via AND gate 82 produces a reset signal (FIG. 8i) which resets latch 60 and turns off the PWM chopped bridge transistor(s) at time t_5 . When the Q output of the PWM latch 60 goes low, the OR gate 63 disables the pull-up current source 62 and thus the capacitor 64 is discharged by resistor 65. After a time approximately equal to RC the voltage on the capacitor 64 will have decayed to less than $V_{cc}(R/(R+3.5R))$, establishing the PWM fixed off-time, and thus the output of comparator 67 will go high at the next t_1 thereby setting the

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-47057

(13) 公開日 平成9年(1997)2月14日

(51) Int.Cl.

H02P 5/00
B41J 19/18

機別記号 庁内整理番号

P I

H02P 5/00
B41J 19/18

技術表示箇所

H
F
E

審査請求 未審求 請求項の範囲 FD (全 18 条)

(21) 出願番号

特願平7-205348

(22) 出願日

平成7年(1995)7月24日

(71) 出願人

000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者

高橋 誠二

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人

弁理士 田中 増頸 (外1名)

(54) 【発明の名称】 モータ制御装置および該制御装置を用いた記録装置

(57) 【要約】 (修正有)

【課題】 記録ヘッドと記録材供給手段を搭載するキャリヤを駆動する際、負荷の変動があった場合、制御部のCPUに負担をかけることなく、キャリヤの速度を最適に制御する。

【解決手段】 記録ヘッドと記録材に応じて消費される記録材を記録ヘッドへ供給する記録材供給手段とを搭載可能なキャリヤと、キャリヤを記録媒体の搬送方向と垂直な方向に操作する駆動手段と、キャリヤの速度を検出する速度検出手段と、検出速度と所定の目標速度と所定の制御定数に基づいてキャリヤの速度を制御する制御手段とを有する記録装置に、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、検出速度を保持する保持手段と、検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、比較手段の比較結果によって制御モード設定手段によって設定された複数の制御モードから1つの制御モードを選択する選択手段とを設ける。

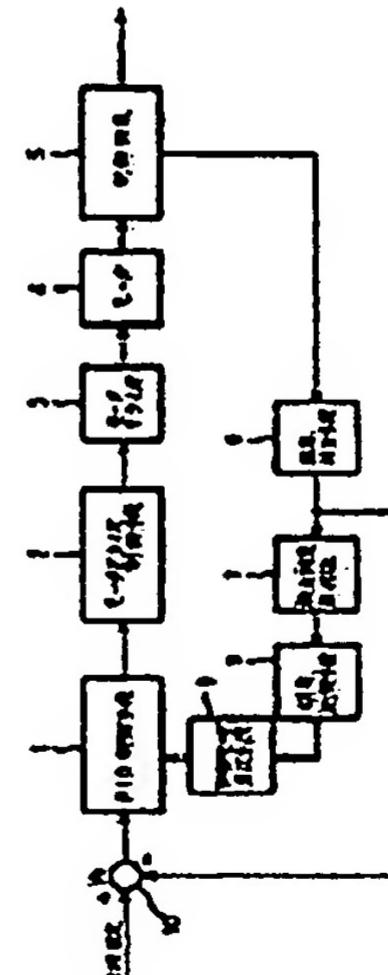


FIG. 1d shows a waveform of the latch output signal including gating pulses for turning on the driver transistor in the driver circuit of FIG. 1.

FIG. 2 shows in a graph of average load current versus the applied reference voltage, the curve 28a characterizing PWM load current regulation in the driver circuit of FIG. 1, the curve 28b characterizing the load current regulation for a bridge driver circuit operating in four quadrant decay mode, and the curve 29 characterizing the corresponding ideal PWM load current regulation.

FIG. 3 shows a circuit diagram of a prior art PWM bridge driver with an inductive load.

FIG. 4 shows a table of the status of operation at several points in the bridge circuit of FIG. 3 for both two and four quadrant PWM operation modes.

FIG. 5 shows a composite graph of characteristic exponentially rising and falling load currents in the prior art PWM driver circuit of FIG. 3 and a related driver load-current wave form for two quadrant PWM operating mode with V_{ref} held at zero volts.

FIGS. 6a, 6b, and 6c show first, second and third integrated circuit PWM bridge drivers of this invention, each having fixed off-time type PWM bridge driver controller. They differ from each other in the logic that determines how the not_regulating signal is generated, in either of two directions through the load.

FIG. 7 shows additional circuit blocks needed to be added to the PWM controlled bridge driver of FIG. 6a to control the bridge current in either of two directions through the load.

FIGS. 8a, 8b, 8c, 8d, 8e, 8f, 8g, 8h, 8i, 8j and 8k shows logic waveforms and waveforms of current and voltage in the bridge driver of FIG. 6. These waveforms are drawn to the same scale. The PWM period on the left corresponds to a moderate level of V_{ref} and good regulation. The PWM period on the right corresponds to a low level of V_{ref} and poor regulation.

FIG. 9 shows the wave form of voltage V_{RC} across the timer capacitor during one PWM period in the circuit of FIG. 6a.

FIG. 9a shows a table of operating logic signals and corresponding operating modes for the PWM bridge driver circuit of FIG. 6a.

FIG. 10 shows added external components to the integrated circuit of FIG. 6a for providing one form of mixed two and four quadrant mode operation during each PWM period.

FIGS. 11a, 11b and 11c show for comparison, waveforms of load current in the bridge circuits respectively of FIGS. 6a, 6b and 6c, under the condition that moment t_s at which load current rises to exceed the reference current I_{ref} occurs during the sample time.

FIGS. 11e, 11f and 11g show waveforms for comparison of the V_{not_reg} signal in the bridge circuits respectively of FIGS. 6a, 6b and 6c, under the condition that moment t_s at which load current rises to exceed the reference current I_{ref} occurs during the sample time.

FIG. 11d shows the waveform of the voltage across the RC oscillator capacitor in the bridge circuits of FIGS. 6a, 6b and 6c, under the condition that moment t_s at which load current rises to exceed the reference current I_{ref} occurs during the sample time.

FIGS. 11a, 11b, 11c, 11d, 11e, 11f and 11g are all drawn to the same scale.

FIG. 12 shows a fourth circuit diagram of an integrated circuit bridge driver of this invention including a fixed

off-time PWM bridge driver controller providing for mixed two quadrant and four quadrant operating modes in each PWM period.

FIG. 13 shows the wave form of voltage across the timer capacitor during one PWM period in the circuit of FIG. 12.

FIG. 14 shows a table of operating logic signals and corresponding operating modes for the PWM bridge driver circuit of FIG. 12.

FIG. 15 shows the relationships of four distinct times, in a PWM period for the bridge driver of FIG. 12, to bridge driver component values.

FIG. 16 shows the wave form of the load current in the bridge driver of FIG. 12 during PWM periods of mixed two and four quadrant operation.

FIG. 17 shows a fifth circuit diagram of an integrated circuit bridge driver of this invention including a fixed off-time PWM bridge driver controller providing for the automatic mixing of two quadrant and four quadrant operating modes in each PWM period.

FIG. 18 shows the wave form of voltage across the timer capacitor during one PWM period in the circuit of FIG. 17.

FIG. 19 shows a table of operating logic signals and corresponding operating modes for the PWM bridge driver circuit of FIG. 17.

FIG. 20 shows a sixth circuit diagram of bridge driver of this invention with a PWM controller providing a fixed off-time with a fixed slow-decay off-time portion and an adaptive fast-decay off-time portion. FIGS. 21a and 21b show, respectively waveforms of the timing-capacitor voltage V_{RC} , and the load current I_L , in the circuit of FIG. 20.

FIG. 22 shows a seventh circuit diagram of a bridge driver of this invention with providing a fixed off-time and an adaptive ratio of slow decay to fast-decay off-time portions, which ratio is a function of the width of a not_reg pulse.

FIGS. 23a, 23b and 23c show, respectively, waveforms of the timing-capacitor voltage V_{RC} , of the mode-allocation-capacitor (110) voltage $V4$, and of the load current I_L , in the circuit of FIG. 22.

FIG. 24 shows an eighth circuit diagram of bridge driver of this invention with providing a fixed frequency PWM control, and an adaptive ratio of slow decay to fast-decay off-time portions, which ratio is a function of the width of a not_reg pulse.

FIGS. 25a, 25b and 25c show, respectively, waveforms of the timing-capacitor voltage V_{RC} , of the mode-allocation-capacitor (110) voltage $V4$, and of the load current I_L , in the circuit of FIG. 24.

FIG. 26 shows a ninth circuit diagram of bridge driver of this invention with providing a fixed PWM frequency and an adaptive ratio of slow decay to fast-decay off-time portions, which ratio is a function of the width of a not_reg pulse.

FIGS. 27a, 27b and 27c show, respectively, waveforms of the timing-capacitor voltage V_{RC} , of the mode-allocation-capacitor (110) voltage $V4$, and of the load current I_L , in the circuit of FIG. 26.

FIG. 28 shows a tenth circuit diagram of bridge driver of this invention providing an adaptive ratio of slow decay to fast-decay off-time portions using cumulative over-current signals.

FIGS. 29a, 29b and 29c show, respectively, waveforms of the timing-capacitor voltage V_{RC} , of the mode-allocation-capacitor (110) voltage $V4$, and of the load current I_L , in the circuit of FIG. 28.

【特許請求の範囲】

【請求項 1】 制御対象の速度を検出する速度検出手段と、該速度検出手段によって検出した速度、所定の目標速度および所定の制御定数に基づいて制御対象の速度を制御するモータ制御装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記速度検出手段で検出した検出速度を保持する保持手段と、前記保持手段で保持された検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、前記比較手段の比較結果によって前記制御モード設定手段によって設定された前記複数の制御モードから 1 つの制御モードを選択する選択手段とを有し、前記選択手段の選択結果に応じて前記制御対象の速度制御を行うことを特徴とするモータ制御装置。

【請求項 2】 制御対象の速度を検出する速度検出手段と、該速度検出手段によって検出した速度、所定の目標速度および所定の制御定数に基づいて制御対象の速度を制御するモータ制御装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記速度検出手段で検出した検出速度を保持する保持手段と、前記保持手段で保持された検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、前記比較手段の比較結果によって前記制御モード設定手段によって設定された前記複数の制御モードから 1 つの制御モードを選択する選択手段とを有し、前記比較手段による比較の指示があるときだけ、前記比較手段による比較を行い、かつ前記指示手段による指示の有無にかかわらず、前記選択手段の選択結果に応じて前記制御対象の速度制御を行うことを特徴とするモータ制御装置。

【請求項 3】 請求項 1 または 2 記載のモータ制御装置において、前記保持手段により保持された検出速度の値から前記比較手段により算出される値は制御対象の速度または加速度であることを特徴とするモータ制御装置。

【請求項 4】 請求項 3 記載のモータ制御装置において、前記保持手段により保持される検出速度は前記制御対象の定速度制御領域移行後の所定期間内に検出される速度であることを特徴とするモータ制御装置。

【請求項 5】 請求項 3 記載のモータ制御装置において、前記保持手段により保持される検出速度は前記制御対象の加速開始から定速度制御領域移行までの所定期間内で検出される速度であることを特徴とするモータ制御装置。

【請求項 6】 制御対象の速度を検出する速度検出手段と、該速度検出手段によって検出した速度、所定の目標

速度および所定の制御定数に基づいて制御対象の速度を制御するモータ制御装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記複数の制御モードを順次選択する制御モード順次選択手段と、前記制御モード順次選択手段で選択した各制御モードにおいて、前記速度検出手段で検出した検出速度の各々を保持する保持手段と、前記保持手段で保持された検出速度の各々の値から最速の制御モードを選択する最速制御モード選択手段とを有し、前記最速制御モード選択手段で選択した制御モードで前記制御対象の速度制御を行うことを特徴とするモータ制御装置。

【請求項 7】 記録媒体に記録を行う記録ヘッドと記録に応じて消費される記録材を前記記録ヘッドへ供給する記録材供給手段とを搭載可能なキャリヤと、該キャリヤを前記記録媒体の搬送方向と直角な方向に操作する駆動手段と、キャリヤの速度を検出する速度検出手段と、該速度検出手段による検出結果と所定の目標速度と所定の制御定数に基づいて前記キャリヤの速度を制御する制御手段とを有する記録装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記速度検出手段で検出した検出速度を保持する保持手段と、前記保持手段で保持された検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、前記比較手段の比較結果によって前記制御モード設定手段によって設定された前記複数の制御モードから 1 つの制御モードを選択する選択手段とを有し、前記選択手段の選択結果に応じて前記制御対象の速度制御を行うことを特徴とする記録装置。

【請求項 8】 記録媒体に記録を行う記録ヘッドと記録に応じて消費される記録材を前記記録ヘッドへ供給する記録材供給手段とを搭載可能なキャリヤと、該キャリヤを前記記録媒体の搬送方向と直角な方向に操作する駆動手段と、キャリヤの速度を検出する速度検出手段と、該速度検出手段による検出結果と所定の目標速度と所定の制御定数に基づいて前記キャリヤの速度を制御する制御手段とを有する記録装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記速度検出手段で検出した検出速度を保持する保持手段と、前記保持手段で保持された検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、前記比較手段による比較を指示する指示手段と、前記比較手段の比較結果によって前記制御モード設定手段

it would asymptotically approach $(-V_{SAT} - V_D - V_{BEMF})/(R_s + R_L)$. A negative BEMF voltage condition commonly occurs in brush and brushless DC motors when a change in the desired direction of rotation, and thus the polarity of the applied bridge voltage, causes V_{BEMF} to be negative until such time as the motor's direction of rotation has reversed.

A negative BEMF voltage condition also commonly occurs when driving stepper motors because these systems have no position feedback and thus the phase lead of the rotor typically causes the BEMF voltage to be negative towards the end of each step.

With reference to FIG. 4, when the bridge driver of FIG. 3 is operated in the four-quadrant PWM control mode to drive load current in the direction from left to right through the load, transistors 30 and 33 are simultaneously PWM chopped. During each chop-off time, the inductor voltage of the inductive load generates a decaying current I_{L0} in the loop through the load, and the two flyback diodes 35 and 36. The rate at which the inductive load current decays in four quadrant decay mode is governed by the equation $dI/dt = -(V_{bb} - V_{DTOT} - V_{BEMF} - (I_L R_L))/L$, where V_{bb} is the load supply voltage, V_{DTOT} is the total voltage drop across the two conducting diodes, V_{BEMF} is the back electromotive force (if any), I_L is the current through the inductive load R_L is the series resistance of the inductive load, and L is the inductance of the inductive load. The load current thus decays exponentially, and would asymptotically approach a value given by $(-V_{bb} - V_{DTOT} - V_{BEMF})/R_L$, were it not for the reverse current blocking property of the diodes. Thus for four quadrant mode of operation of the bridge of FIG. 3, the load current decay rate is much faster than for the load current decay rate in two quadrant operating mode thus allowing the PWM circuit to regulate the load current down to a lower value of current before the minimum duty cycle of the PWM system becomes the limiting factor, than in the case of the two quadrant mode.

However, at low values of load current the high rate of decay causes the load current to decay to zero prior to the end of the off-time. The resulting load current wave form is said to be discontinuous and results in a non-linear relationship 28b at low current levels, between V_{avg} and the average load current as shown in FIG. 2. While this non-linear relationship is not desirable it is better than not being able to regulate current in most systems.

Two quadrant operation has the advantage, over four quadrant operation, that much lower ripple appears in the load current leading to closer regulation for the range in which load currents are high, e.g. less off-set between the curves 28 and 29 in FIG. 2. Furthermore, because the hysteresis core losses in the inductive load are proportional to the ripple current, lower ripple current results in less heating and power loss in the load. And, two-quadrant operation results in lower switching losses in the driver since only one bridge driver transistor is PWM chopped.

It is therefore an object of this invention to provide in a PWM controlled bridge driver for an inductive load, the capability for operation in the two-quadrant operating mode except for intervals during portions of the PWM chopping off-times (load current decay times) in which four-quadrant mode operation is effected.

It is a further object of this invention to provide such a PWM controlled bridge driver having means for controlling the percentage of the off-time in each PWM period during which four quadrant operation is effected.

SUMMARY OF THE INVENTION

A bridge driver circuit is of the kind having four bridge driver transistors, and four fly-back diodes connected

respectively across the four bridge driver transistors. There is included a PWM-driver control circuit means connected to the input gating elements of the four driver transistors. The control circuit means is first for periodically gating on at least one of the driver transistors for an on-portion of each PWM period to drive current through the load, and secondly for subsequently gating off the at least one driver transistor for the remaining off-portion of the PWM period. This PWM control circuit is capable of operating in the two quadrant control mode or in the four quadrant control mode, and has a mode input conductor to which a mode-control binary logic signal of one type and the other type may be applied for determining respectively whether, during any portion of each PWM period the PWM-driver control circuit is operating the driver in the two quadrant control mode or in the four quadrant control mode.

Two quadrant operation means turning on said at least one bridge-driver transistor while holding on the diagonally opposite bridge-driver transistor, e.g. chopping the at least one transistor while holding on the diagonal transistor. Four quadrant operation means simultaneously turning on and off said at least one bridge-driver transistor and the diagonally opposite bridge-driver transistor, i.e. simultaneously chopping the two mutually opposite bridge transistors.

A mode-switching means is connected to the mode input conductor of the PWM-driver control circuit means for during one part of the PWM-period off-portion producing a binary logic signal of one type and during the other part of the PWM-period off-portion producing a binary logic signal of the other type. The PWM controlled bridge is thereby enabled to operate alternately in two and four quadrant operating mode during any single PWM period.

This invention recognizes that by mixing two and four quadrant operation of a PWM controlled bridge driver during one or more PWM periods can result in good PWM regulation over a wider range of load currents while at the same time suffering little of the above-noted disadvantages of only two or only four quadrant operation each period, as in the prior art. These advantages are of special significance in many applications of PWM bridge drivers with motor loads wherein the load current may be rapidly changing between high and low ranges many times a minute. A pertinent example is in micro-stepping motor applications wherein the applied PWM reference voltage is typically a 50 Hz to 2 KHz sine wave repeatedly passing through critically important low reference voltage levels each half sine wave cycle.

This invention further includes circuit means for determining optimum times for changing during a PWM period from two quadrant operating mode to four quadrant operating mode (or visa versa), and for automatically instructing the PWM bridge control circuit to so mix, or even not to mix, the operating modes each PWM period.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 shows a circuit diagram of a PWM driver of the prior art with an inductive load.

FIG. 1a shows a waveform of the timer signal including set pulses for periodically setting the latch in the driver of FIG. 1.

FIG. 1b shows a waveform of the load current having superimposed thereon the sensed-current spikes coincident with the leading edges of the respective set pulses, in the driver of FIG. 1.

FIG. 1c shows a waveform of the reset signal at the output of the comparator in the driver of FIG. 1.

度によって設定された前記複数の制御モードから 1 つの制御モードを選択する選択手段とを有し、前記指示手段による比較があるときだけ、前記比較手段による比較を行い、かつ前記指示手段による指示の有無にかかわらず、前記複数手段の選択結果に応じて前記制御対象の速度制御を行うことを特徴とする記録装置。

【請求項 9】 請求項 7 または 8 記載の記録装置において、前記保持手段により保持された検出速度の値から前記比較手段により算出される値は制御対象の速度または加速度であることを特徴とする記録装置。

【請求項 10】 請求項 9 記載の記録装置において、前記保持手段により保持される検出速度は前記制御対象の定速度制御領域内の所定の期間内に検出される速度であることを特徴とする記録装置。

【請求項 11】 請求項 9 記載の記録装置において、前記保持手段により保持される検出速度は前記制御対象の加速開始から定速度制御領域移行までの所定期間内で検出される速度であることを特徴とする記録装置。

【請求項 12】 請求項 7 または 8 記載の記録装置において、前記比較手段による比較は記録動作中に行われることを特徴とする記録装置。

【請求項 13】 請求項 7 または 8 記載の記録装置において、前記選択手段により新たな制御モードが選択された場合、一連の記録動作終了後に制御モードの更新が行われることを特徴とする記録装置。

【請求項 14】 請求項 7 または 8 記載の記録装置において、前記保持手段に保持される検出結果は前記複数の制御モードの各々に対応した検出結果であることを特徴とする記録装置。

【請求項 15】 請求項 8 記載の記録装置において、前記記録ヘッドおよび前記記録材供給手段は前記キャリヤに交換可能な複数の信号入力手段をさらに有し、前記記録ヘッド、前記記録材供給手段または信号入力手段の交換を検出する装置検出手段を有し、該装置検出手段の検出結果に応じて前記指示手段が比較を指示することを特徴とする記録装置。

【請求項 16】 記録媒体に記録を行う記録ヘッドと記録に応じて消費される記録材を前記記録ヘッドへ供給する記録材供給手段とを接続可能なキャリヤと、該キャリヤを前記記録媒体の搬送方向と垂直な方向に操作する駆動手段と、キャリヤの速度を検出する速度検出手段と、該速度検出手段による検出結果と所定の目標速度と所定の制御定数に基づいて前記キャリヤの速度を制御する制御手段とを有する記録装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記複数の制御モードを順次選択する制御モード順次選択手段と、前記制御モード順次選択手段で選択した各制御モードに

おいて、前記速度検出手段で検出した検出速度の各々を保持する保持手段と、

前記保持手段で保持された検出速度の各々の値から最適の制御モードを選択する最適制御モード選択手段とを有し、

前記最適制御モード選択手段で選択した制御モードで前記制御対象の速度制御を行うことを特徴とする記録装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、モータの制御装置に関するもので、主としてサーボ制御によってモータ制御を行うモータ制御装置に関するもので、また、このモータ制御装置を用いるプリンタやファクシミリ等の記録装置に関するものである。

【0002】

【従来の技術】 モーター等の制御方法において、モータの例えは回転速度等の制御結果を検出する検出手段を有し、該検出手段の検出結果に応じてモータ等を制御する制御方法は、いわゆる、フィードバック制御として広く知られている。また、記録装置などの電子機器ではその駆動部の駆動源としてモーターが用いられている。

【0003】 記録装置として従来より良く知られているものに、例えば、記録ヘッドを搭載し、紙、OHP 用シート等の記録媒体（以下記録用紙といふ）の搬送方向に対して垂直に往復運動する駆動部（以下キャリヤといふ）を有する、いわゆる、シリアルタイプの記録装置がある。これらの記録装置では、種々の方式による記録ヘッドが用いられ、その方式としてワイドドット方式、熱感方式、熱転写方式、インクジェット方式等が広く知られている。これらの記録装置には、近年カラー化や高解像度化の要求が高まっており、それに伴って記録装置の高精度化が必須となっている。記録方式のうち、例えばインクジェット方式はこれらの要求に対して比較的容易な構成で達成できる点や、ランニングコストを低く抑えることができるなどから広く普及している。

【0004】 また、近年では、キャリヤにスキャナ等の情報入力手段を搭載し、原稿等の情報記録媒体から情報を読み込みができる記録装置も実現されている。

【0005】 記録装置におけるキャリヤの駆動源としてはモーターが用いられるが、記録命令に従ってモーターを駆動しキャリヤを往復運動させ記録を行っている。モーターとしては入力信号のパルス数に応じた量だけ回転するステッピングモータやエンコーダとの組み合わせによりキャリヤの位置検出が容易に行えるDCモーター等が用いられている。モーターとしてステッピングモーターを用いる場合にはキャリヤの移動速度に対して不安定であることやキャリヤの位置検出が不正確である等の理由により、記録の高精度化に際してはDCモーターとエンコーダを用い

which will be driven by another essentially identical PWM half bridge driver. PWM control circuit 38 controls the gating of the four driver transistors, ideally to regulate the average load current to follow proportionally the amplitude of the applied reference voltage V_{ref} in the direction (left or right in the load of FIG. 3) as directed by the applied logic signal V_{dir} . The driver transistor gating logic table of FIG. 4 is for an input direction signal V_{dir} that causes the load currents and decay currents to flow through the load from left to right as shown.

When the two-quadrant PWM control mode is to generate a driver-induced current in the direction from left to right through the load, either transistor 30 (or 33) is held on while transistor 33 (or 30) is PWM chopped. For the case that transistor 30 is chopped, during each chop off-time of transistor 30 the inductive voltage of the load generates a clockwise decaying current I_{35} in the loop through the load, the continuously-on transistor 33, and the flyback diode 35. And when the load is a motor, there is added the BEMF voltage of the still rotating motor to the inductor voltage leading to a change in the decaying load current in each PWM period after time t_a in FIG. 1b.

For the case where transistor 33 is chopped, during each chop off-time (t_a to t_1) of transistor 33 the voltage generated by the inductive load generates a counter-clockwise decaying current I_{36} in the loop through the load, the on-transistor 30, and the flyback diode 36. The rate at which the inductive load current decays is governed by the equation $dI/dt = -(V_{SAT} - V_D - V_{BEMF}(I_L(R_s + R_L)))/L$, where V_{SAT} is the voltage drop across the conducting transistor, V_D is the voltage across the conducting diode, V_{BEMF} is the back electromotive force (if any), I_L is the current through the inductive load, R_s is the resistance of the sensing resistor, and L is the inductance of the inductive load. The load current thus decays exponentially, asymptotically approaching a value given by $-(V_{SAT} - V_D - V_{BEMF})/(R_s + R_L)$.

The rate in off-time decay of the inductor current, when the chopped driver transistor of the bridge driver circuit of FIG. 3 operating in the two-quadrant mode, is nearly the same as for the single-driver transistor circuit of FIG. 1 so that the waveforms in FIGS. 1a, 1b, 1c and 1d are essentially the same for the driver circuit of FIG. 1 and for the bridge driver circuit of FIG. 3 operating in two quadrant mode.

As explained above, in the single transistor driver of FIGS. 1 and in the PWM driver of FIG. 3 operating in the two-quadrant PWM mode, the chopped driver transistor is forced to remain on after each timer pulse (FIG. 1a) for a short time t_1 to t_2 so that the driver-gating latch (e.g. 18) cannot respond to a resetting pulse attributable to a transient current spike at time t_1 (FIG. 1b) through the sensing resistor (e.g. 14). When during this short current-spike blanking time, t_1 to t_2 , the applied V_{ref} is low enough that the load current reaches the point where the sense voltage V_s just exceeds V_{ref} , that normally causes the resetting (FIG. 1c) of latch 18. But latch 18 is held latched and cannot control the load current. Only after the termination of the blanking time at t_2 , will resetting occur. At this point, the lower the applied V_{ref} , becomes, the poorer the load current regulation becomes.

Unfortunately this fixed driver on-time t_{on} (t_1 to t_2) subtracted from the PWM period between leading edges (e.g. at t_1 in FIG. 1a) of PWM timer pulses determines the maximum possible off-time t_{off} during each PWM period. In practice the PWM timer frequency (1/PWM-period) is further limited to a minimum of 20 KHz to avoid causing audible noise. The net result is that the PWM system has a maximum driver duty cycle ($t_{on}/(t_{on}+t_{off})$).

For example, if t_{off} is fixed at 20 μ s and the PWM timer frequency is 20KHz in a single transistor or bridge driver operated in two-quadrant PWM mode, then the PWM period

$$P_{PWM} = t_{on} + t_{off} = 1/20\text{ KHz} = 50\ \mu\text{s}.$$

Thus, to avoid audible noise the t_{on} cannot exceed 30 μ s which gives the PWM system a maximum (on-time) duty cycle of 60%.

If the fixed ton (including control loop delays and driver switching delays) is 1.5 μ s then the minimum duty cycle is given by $1.5/(1.5+20) = 7\%$. These tend to be typical numbers for PWM driven small motor loads.

So, in the extreme case of applying a reference voltage V_{ref} of zero volts to the PWM controller of a single transistor or to a two-quadrant PWM controlled bridge driver, then the duty cycle of the PWM controller will drop to the minimum value of 7%. When the system is first enabled, (FIG. 1b) the current will rise during the fixed on-time t_{on} followed by a load current decay for the fixed off-time t_{off} .

Typically, because it is usual to operate with a large DC supply voltage to achieve a fast load-current rise time (e.g. t_1 to t_2 in FIG. 1b), the slowly decaying load current, associated with two-quadrant PWM operation, will not fully decay before the onset of the next on time (at t_1). In the subsequent PWM timer periods the load current will stair-step upward as illustrated in FIG. 5 for the situation wherein DC supply voltage is turned on, the V_{BEMF} is zero, and the applied reference voltage V_{ref} is zero. In FIG. 5, curve 41 shows the asymptotic rate of load current increase for the on state, in the case where V_{BEMF} is equal to zero. Curve 40b and 40a show the asymptotic rate of load current decrease during the four quadrant decay state, and two quadrant decay state respectively, in the case where V_{BEMF} is equal to zero.

The load current PWM wave form can be seen to be a composite of these curves for the appropriate times, mode of operation, and the load current level. Eventually the system comes into equilibrium at some level $I_{L_{eq}}$ of current which corresponds to the level of load current in FIG. 2 at which PWM is poor.

Curve 42 in FIG. 5 is the wave form of load current in the driver of FIG. 3 over a time of many PWM timer-pulse periods wherein while the reference voltage is held at zero, the driver circuit of FIG. 3 is powered up in two quadrant operation mode. This is the extreme of the low level range of reference voltages in which the load current during each PWM period, reaches the corresponding sensed current value before the set pulses have terminated. The rising load current portions in curve 42 have the same steep slope as that of curve 40 at those low levels whereas the failing load current portions in curve 42 have the same slope as that of the shallow slopes portions of the curve 40a in the corresponding time span. Thus, for either fixed frequency or fixed off-time PWM operation the load current gradually stair steps up to an equilibrium average value $I_{L_{eq}}$, in which the load current rise and fall in each PWM period are equal. This is the mechanism by which regulation of the PWM bridge load current using two quadrant operating mode PWM deteriorates at low levels of reference voltage.

A non-zero value of V_{BEMF} has the effect of shifting the curves 41, 40b and 40a in FIG. 5 down by an amount equal to V_{BEMF} . Thus positive values of V_{BEMF} will reduce the value of $I_{L_{eq}}$, and more importantly, negative values of V_{BEMF} will increase the value of $I_{L_{eq}}$. Furthermore, if the value of V_{BEMF} is negative and becomes of sufficient magnitude that $dI/dt = -(V_{SAT} - V_D - V_{BEMF}(I_L(R_s + R_L))) > 0$, then the load current will no longer decrease during the two quadrant PWM off-time, but instead will increase such that

る例が多い。この駆動系においてはエンコーダより検出される駆動対象であるキャリヤの移動速度を検出し目標の移動速度との偏差を算出し、該算出結果に応じてDCモータの駆動をフィードバック制御する制御方式が広く知られている。

【0008】この制御方式において算出された速度偏差V_eと、比例制御定数K_p、積分制御定数K_i、微分制御定数K_dの各定数とにより操作量を次式に基づいて算出し、操作量によってDCモータの速度制御を行う方法がP+D制御として知られている。

$$[0007] \text{操作量} = K_p \times V_e + K_i \int V_e dt + K_d (dV_e / dt)$$

ここで、操作量は、例えば、モータに印加する電圧や印加エネルギーのデューティである。このようなフィードバック制御においては各制御定数について所定の初期値を予め与し、キャリヤを実験に移動させながら新しい制御定数を算出し制御する学習タイプのフィードバック制御も知られている。

【0008】(発明が解決しようとする課題)モータとして、前述のDCモータとエンコーダを用いるフィードバック制御によってキャリヤを駆動する場合に、例えばモータの駆動が伝達される系の負荷が変動したときなどは、キャリッジの移動速度が最適に制御されなく不安定になり、その結果として記録結果にムラの発生などの不都合を生じる問題がある。

【0009】また、キャリヤに倍速入力手段を搭載した場合にはキャリッジの移動速度に不安定さが生じると、入力された情報が不正確になったり、やはり結果的にムラ等が生じてしまうという問題がある。

【0010】負荷が変動する要因としては、伝達系を構成する部品精度のバラシキやキャリヤに搭載される記録ヘッドの重量変化、記録ヘッドがインク等の記録材を吸収する記録材吸収手段と一體的に構成された場合やキャリヤが記録ヘッドと共に記録材吸収手段を搭載する場合にあっては記録材の消費による重量変化、さらには装置が使用される環境条件の変化等が挙げられる。特に、ランニングコストを低く抑えることや記録材吸収手段の交換頻度を少なくする等使用者の満足度を向上させるために記録材の吸収量を大きく縮減することが行われており、記録材の消費による負荷の変化は無視できないものである。

【0011】この問題を解決する方法として特開平3-264769号では学習フィードバック制御を提案している。この方法によれば、負荷の変動が生じたとしても学習により最適なフィードバック制御が行えるが、制御定数を演算しながら制御を行うため記録装置を制御するCPUの負担を増加させたり、演算用のマイコンが必要となる等の問題がある。

【0012】

【課題を解決するための手段】本発明は、前述の問題を解決するために、制御手段の速度を検出する速度検出手段と、該速度検出手段によって検出した速度、所定の目標速度および所定の制御定数に基づいて制御対象の速度を制御するモータ制御装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記速度検出手段で検出した検出速度を保持する保持手段と、前記保持手段で保持された検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、前記比較手段の比較結果によって前記制御モード設定手段によって設定された前記複数の制御モードから1つの制御モードを選択する選択手段とを有し、前記選択手段の選択結果に応じて前記制御対象の速度制御を行うことを特徴とするモータ制御装置を構成するものである。

【0013】本発明は、また、記録媒体に記録を行う記録ヘッドと記録に応じて消費される記録材を前記記録ヘッドへ供給する記録材供給手段とを搭載可能なキャリヤと、該キャリヤを前記記録媒体の搬送方向と垂直な方向に操作する駆動手段と、キャリヤの速度を検出する速度検出手段と、該速度検出手段による検出結果と所定の目標速度と所定の制御定数に基づいて前記キャリヤの速度を制御する制御手段とを有する記録装置において、異なる制御定数よりなる複数の制御モードを設定する制御モード設定手段と、前記速度検出手段で検出した検出速度を保持する保持手段と、前記保持手段で保持された検出速度の値または該値により算出された値を所定の比較値と比較する比較手段と、前記比較手段の比較結果によって前記制御モード設定手段によって設定された前記複数の制御モードから1つの制御モードを選択する選択手段とを有し、前記選択手段の選択結果に応じて前記制御対象の速度制御を行うことを特徴とする記録装置を構成するものである。

【0014】

【実施例】以下、図面を参照して本発明のモータ制御装置および該モータ制御装置を用いた記録装置の実施例を説明する。

【0015】(実施例1) 図1は、モータにより駆動対象の移動や回転等の速度を制御する場合を例に挙げて説明するための実施例1のモータ制御装置の回路ブロック図である。図1において、符号1で示すものは、フィードバック制御の制御量を算出する手段であって、この実施例の場合には、前述したP+D制御による制御量を算出するP+D制御手段である。2は、P+D制御手段の算出結果からモータ4を駆動するモータドライバ3への入力信号を算出するモータドライバ制御手段であり、該モータドライバ制御手段2の出力にしたがってモータドライバ3によりモータ4が駆動され、駆動対象1が駆動される。ここで、ヤ1D制御手段1により算出される制御量は、この実施例の場合、モータに印加する電圧や印加

PWM INDUCTIVE LOAD BRIDGE DRIVER
FOR DYNAMICALLY MIXING FOUR AND
TWO QUADRANT CHOPPING DURING
PWM PERIOD OFF TIME

REFERENCE TO RELATED APPLICATION

This is a Complete Application claiming the benefit of the Provisional application Ser. No. 60/001,234, filed Jul. 19, 1995.

BACKGROUND

This invention relates to a pulse-width-regulated (PWM) bridge driver for an inductive load, and more particularly to such a driver having a PWM controller providing circuit means for mixing two and four quadrant chopping during the off-time of each PWM period.

FIG. 1 illustrates the construction of a simple PWM driver of the prior art employing a single driver transistor for an inductive load to illustrate problems common to both prior art single transistor inductive-load PWM drivers and four-transistor bridge inductive-load PWM drivers. Wave forms of signals in the PWM driver of FIG. 1 are shown in FIGS. 1a, 1b, 1c and 1d.

A driver transistor 10 has a load 12 connected between the emitter and the +Vbb bus. A load-current sensing resistor 14 is connected from emitter to the ground bus, serving as a current-to-voltage transducer to produce a sensing voltage that is proportional to the peak load current, I_L , in FIG. 1b. The PWM control circuitry includes a timer 16 for generating timer pulses (FIG. 1a) at the set-input of a latch or latch 18. A comparator 20 has one input connected to the sensing resistor 14 and another input connected to a reference-signal input terminal 22. During operation of this PWM control circuit, timer pulses are periodically applied at times t_1 by the timer 16 to the set input of the set-dominated latch 18.

Each set pulse at time t_1 triggers the latch 18 which gates on the transistor 10, by gating pulses as in FIG. 1d. The load current through the inductive load 12, transistor 10 and sensing resistor 14 rises as governed by equation $dI/dt = (V_{bb} - V_{SAT} - V_{BEMF} - (I_L(R_s + R_L)))/L$, where V_{bb} is the load supply voltage, V_{SAT} is the voltage drop across the driving transistor 10, V_{BEMF} is the back electromotive force (if any), I_L is the current through the inductive load 12, R_L is the series resistance of the inductive load, R_s is the resistance of the sensing resistor 14, and L is the inductance of the inductive load. The load current thus rises exponentially, asymptotically approaching a value given by $(V_{bb} - V_{SAT} - V_{BEMF})/(R_s + R_L)$.

When at times t_2 , the sense voltage across the sensing resistor 14 reaches the value of the reference voltage that is being applied to the PWM driver control input terminal 22, the comparator produces a reset pulse, as in FIG. 1c. Each reset pulse resets the latch, in each instance terminating gating pulses (FIG. 1d) generated from the "Q" output of latch 18. Consequently, the on-times of the PWM-controlled load current, I_L , and thus of the sensed current, I_s , are directly related to the reference-signal input voltage, V_{ref} , in the large region of good regulation of the load current I_L . Thus in this region, the average load current I_{Lav} is also directly related to V_{ref} .

Consideration must be given to the fact that, at each time t_1 , when the transistor turns on, and before there is time for the current through the inductive load to have risen substantially, a large spike of current flows through the

sensing resistor 14, tending to immediately reset the latch 18, defeating control of load current by the applied reference voltage.

In the patent to A. W. Clark and B. A. Zacker, U.S. Pat. No. 5,057,765, issued Oct. 15, 1991, there is described one method for causing the control circuit to ignore this spike. This is accomplished by generating blanking pulse from t_1 to t_2 used for blocking any reset signal from the sensing comparator reaching the reset input of a simple set/reset latch that gates on and off the driver transistor. This patent is assigned to the same assignee as is the present invention.

Alternatively, a latch 18 employed in FIG. 1 may be of the kind to be held latched on after each set pulse for a fixed time that is commensurate with the expected duration of the current spike. Such a latch is known as a set-dominated latch in which application of a reset signal is ineffective during the application of a set pulse, namely from times t_1 to t_2 . The maximum pulse width of current spikes is typically half a microsecond, and in that case the width of the spike-blanking set pulse may then be conservatively fixed at one or two microseconds.

The current spike is basically attributable to the driving of an inductive load 12, comprised of an inductor 24 having an associated resistance represented by resistor 25. When using an inductive load, it is conventional to employ a fly-back diode 26 for preventing damage to the driver transistor 10 during periods just after driver transistor 10 shuts off. The flyback diode 26 then becomes forward biased and shunts the current caused by the back-voltage across the inductor 24 (additionally including the back electromotive force, BEMF, when the inductor is a motor or solenoid), and prevents a large positive back voltage from appearing at the collector of driving transistor 10. This shunted inductor current then decays until the transistor 10 turns on again.

When the driver transistor 10 subsequently turns on, the inductor current just having flowed through the diode 26 leaves in the PN junction thereof a stored charge which now discharges as a spike 15 of current through the just turned on driver transistor 10 through the sensing resistor 14. Also contributing at times t_1 to this current spike of diode recovery charge are discharges from previously charged stray capacitances in the circuit wiring, in the collector-base junction of driver transistor 10, and capacitances across the inductive load 12 and diode 26.

As is indicated in FIG. 2, such inductive-load PWM driver circuits regulate well over a wide range of operating conditions. Over this range the average load current I_{Lav} is approximately a linear function of the reference voltage V_{ref} .

For the higher values of V_{ref} , the average value of the load current I_{Lav} (curve 28) is displaced slightly from the ideally regulated average load current (curve 29) because PWM control actually regulates with respect to peak load current in each PWM period, the load current peak corresponding to I_{Lp} in FIG. 1b, where $I_{Lp} = V_{ref}/R_s$. However, regulation deteriorates at low values of reference voltage, e.g. at below a certain low value of V_{ref} , the corresponding load current I_{Lav} tends not to drop any longer and to remain fixed at a low current value, I_{Lav} . The reason for this is explained further below.

The bridge driver of FIG. 3 includes the four driver transistors 30, 31, 32 and 33, paralleled respectively by fly-back diodes 34, 35, 36 and 37. The inductive load 38 represents one phase of a split field-winding of a multi-phase motor. Conductor branches 39 lead to other phases of split-field windings (not shown) in the same motor, each of

エネルギーのディテールである。

【0016】6は、エンコーダ（位置検出すると共に速度検出可能である）等の速度検出手段である。7は検出手段6による検出結果を保持するRAM等で構成される制御対象手段である。保持手段に保持される検出結果は制御対象が起動されてから目標速度に到達するまでの期間、即ち、加速度範囲内の検出結果に関するものである。

【0017】次に、図3を参照して実施例1のモータ制御装置の動作を説明する。モータまたは制御対象の運動命令が入力されると、P/D制御手段1は、偏差算出手段1.0で算出した偏差V_d（目標速度V_rと検出速度V_sとの偏差）と、図2に示したような異なる制御定数の組みK_p、K_i、K_dより構成される複数の制御モードのうち予め設定されている所定の制御定数で構成される制御モード、例えば制御モード6とに差しで制御量を算出する（ステップS101、ステップS102）。

【0018】算出量に応じてモードドライバ制御手段2、モータドライバ3、モータ4、制御対象5が駆動される（ステップS103）。制御対象5の運動により得られる制御結果である速度はエンコーダ等の速度検出手段6により検出され（ステップS104）、その検出結果はRAM等の検出結果保持手段7によって保持される（ステップS105）。保持手段7に保持された検出結果（この実施例では速度V_s）より算出される制御対象の加速度が比較手段8により後述の比較値と比較される（ステップS106）。

【0019】この実施例の場合、比較値は制御対象に要求される許容範囲内の限度の値であって、許容範囲内の最大加速度A_m×と最小加速度A_m×である。ステップS106において、検出結果の速度V_sに差しで加速度が許容範囲内であれば、制御モードの変更を行わないで終了する（ステップS109）。ステップS106で許容範囲外と判断された場合にはステップS108において現在設定されている制御モードではない制御モードを選択する。ここでは、例えば図2に示した制御モード6を選択する。

【0020】ここで、新たな制御モードが選択されても同時にP/D制御手段に反映させず、一連の制御対象の動作が終了するまで更新を待機する（ステップS107）。待機している間は選択された制御モードでの制御は行われず現在設定されている制御モードで制御され、一連の動作を終了した後に更新される。制御モードが更新されると、装置はイニシャル動作に移行し、制御モードによる制御結果を同様に比較する。ここで、再び許容範囲外の制御結果と判断されると、再び後述する異なる制御モードを選択しイニシャル動作であるので、直ちに制御モードを更新し、同様に制御結果を比較する。イニシャル動作に移行した後のステップS107での制御モードの選択はイニシャル動作に移行してから設定された制

御モードとは異なる制御モードを選択する。

【0021】ここで、前述した装置の一連の動作とは、例えば、装置が記録装置の場合は記録動作であり、スキヤナ装置の場合は情報の読み込み動作である。図3に示した動作は装置の動作中常に実行されている。このようにして、制御モードの制御結果が、負荷の変動等のように外乱が加わった結果、許容範囲外となった場合であっても別の最適な制御モードに更新され、制御結果の許容範囲内の収束が達成される。

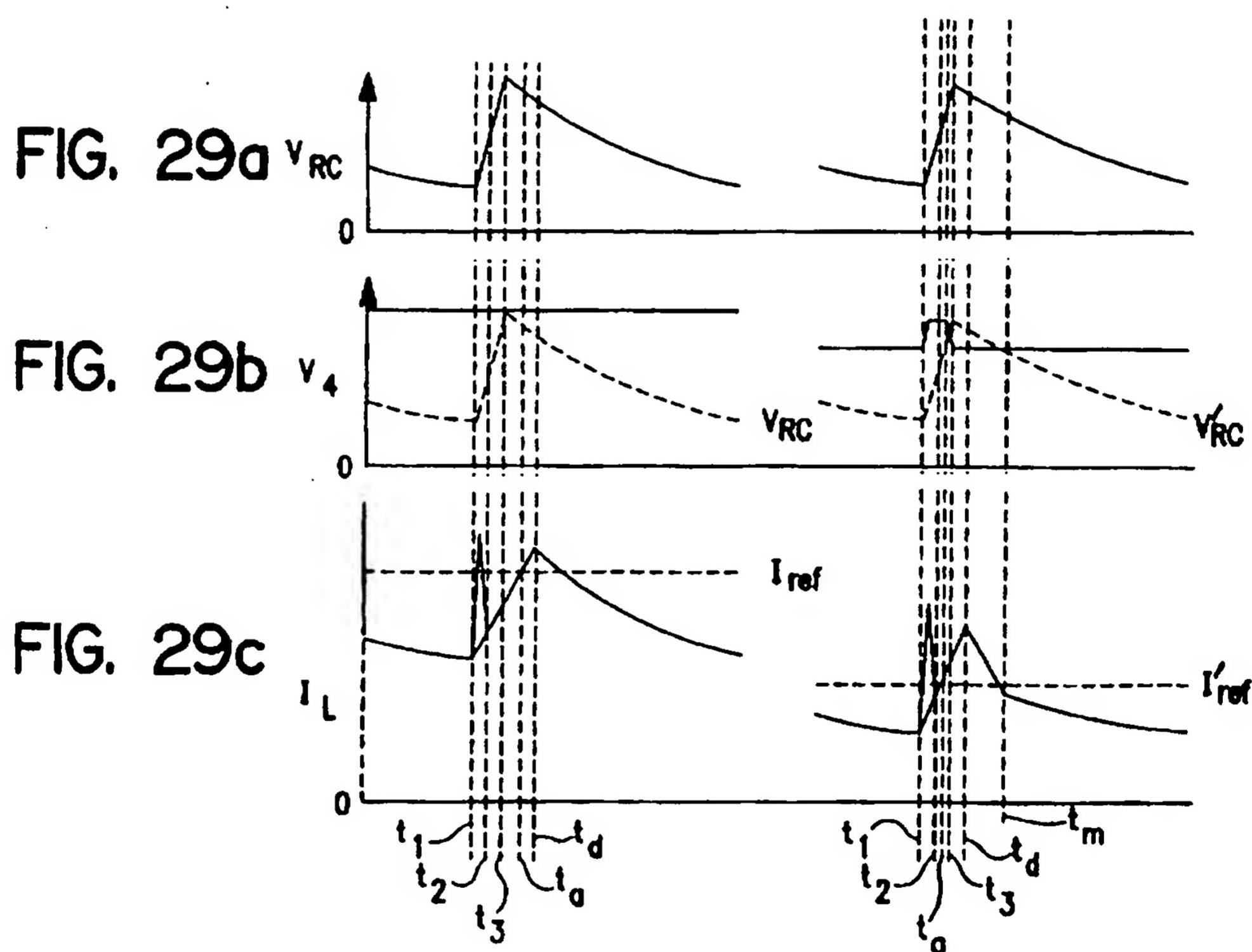
【0022】この場合、制御対象の速度V_sから加速度を算出して行ったが速度V_sを用いてもよく、速度を用いる場合には、加速度中の許容される到達速度の上限値と下限値と共に算して比較を行えばよい。加速終了後の所定期間の制御対象の速度V_sを算出して保持し、この速度V_sと制御対象の許容範囲内の最大速度V_m×と最小速度V_m×と比較する構成としてもよい。

【0023】（実施例2）実施例1では、設定されている制御モードの制御結果を装置の動作中に常に比較していたが、制御系に加えられる負荷変動等の外乱が少ないと考えられる場合には、制御モードの制御結果の比較は必要に応じて実行しても構わない。

【0024】この場合のモータ制御装置の回路ブロック図を図4に示した。図4においても、実施例1と同様にモータにより制御対象の速度を制御する場合について説明する。符号1から10は実施例1で説明した構成と同じものである。ここで、1.1は制御結果である速度V_sの検出手段8による検出結果と前述の許容範囲内の限度値との比較を実行することを所定のタイミングで指示する指示手段であり、この指示手段1.1によって比較が指示されない場合は、実線で示した処理を行い、比較が指示されると、点線で示した処理が追加される構成となっている。

【0025】ここで、指示手段1.1により指示を行う所定のタイミングとしては、例えば、制御対象が記録装置のキャリッジであり、キャリッジに記録ヘッドやインクタンク等の記録材料供給手段が交換可能な構成されている場合には記録材の消費量が所定の値に達したとき、キャリッジに新たな記録ヘッドや記録材料供給手段が取付けられたとき、さらには前回の比較動作より所定の時間が経過したとき等が挙げられる。

【0026】図4における処理の流れを図5に示した。図5に示した処理は、比較を行う所定のタイミングが発生した場合に行う処理ルーチンであり、この処理に移行すると、ステップS501で比較処理を実行するかどうかの判断をまず行う。ここで、例えば、記録装置の記録動作中の場合等では、比較処理は実行せずそのままこの処理ルーチンは終了し、比較動作を実行して良ければステップS502からステップS504によりモータを駆動する。ここでは、最初に制御モードとして図2の制御モード6が設定されているとすると、モータの駆動によ



り得られる制御対象の制御結果である速度を検出し（ステップ S505）。直ちにこれを保持手段であるRAMに保持する（ステップ S506）。保持された制御対象の速度より検出される加速度が比較手段Sにより前述の比較値と比較され（ステップ S507）。比較結果が許容範囲内であれば、このまま制御モードを更新することなく終了する。

【0027】ステップ S507において比較結果が許容範囲外と判断された場合にはステップ S508に進み、実施例1と同様に現在設定されている制御モードとは異なる制御モードを選択する。直ちに制御モードSが選択されると、直ちに制御モードSに基づいてモータが駆動され（ステップ S502, S503, S504）、次に再び制御モードSによる制御結果である速度Vについて比較処理がステップ S507で行われる。ここで、直ちに更新された制御モードSでの制御結果が許容範囲内であれば、一通りの比較処理は終了される。制御モードが更新されたにもかかわらずステップ S507で制御結果が許容範囲外と判断されると、再び新しい制御モードSを選択する。ここで新たに選択される制御モードは図5に示した処理に従行した後設定選択された制御モードとは異なる制御モードを選択する構成となっている。このようにして、制御モードの制御結果を比較する処理を所定のタイミングで指示する指示手段によって指示することで負荷の変動等のような系に外乱が加わった結果、許容範囲外となつた場合であっても別の最適な制御モードに更新され、制御結果の許容範囲内への収束が達成される。

【0028】（実施例3）図5で示した実施例2では、制御結果の比較は、ステップ S507でのように許容範囲内限界値に基づいて実行したが、これとは異なる方法もある。この異なる方法に基づく動作の流れを図6に示した。図5に示した実施例2の処理方法では、許容範囲内の限界値との比較結果に応じて直ちに制御モードを選択したが、図6に示す実施例3では、選択可能な制御モードの全てについて順次選択し、その選択された制御モードによる制御結果をRAMに保持し（ステップ S606）、各制御モードによる制御結果どうしを比較することで最適な制御モードを選択する構成となっている。ここで、検出結果の比較には、例えば、所定の制御モードによる加速度A後の速度Vの最大値と最小値との差の絶対値と、他の制御モードによる速度Vの最大値と最小値との差の絶対値とを比較することによって速度Vのバラツキが加速度A後最も少ない制御モードを選択する方法などが考えられる。このように構成にしても最適な制御モードの選択がなされ、安定な制御結果が得られる。

【0029】（実施例4）これまでの実施例で説明したモータ制御装置を記録装置であるインクジェット記録装置のキャリッジの駆動に適用した場合について説明する。

【0030】図7は、記録装置の構成断面図である。図7において、20は記録媒体である記録用紙Sを保持した皮の状態に保持し、自動的に順次1枚ずつ記録位置に送給する自動送給部であり、30は自動送給部20からその分離ローラ204によって1枚ずつ送出される記録用紙Sを所定の記録位置に導き、記録用紙の記録用紙Sを排出部40に近く送給部であり、50は記録ヘッドS01（この実施例の場合、カラー記録可能なエンドー、マゼンタ、シアンおよびブラックのインクを吐出する）、記録ヘッドS01を搭載するキャリッジS02、キャリッジをタイミングベルトS06により図7で紙面とは垂直な方向に案内する案内軸S03、S04、記録ヘッドS01に上記各色の記録材であるインクを供給する記録材供給手段のインクタンクS05、キャリッジS02の位置を検出するフィルムに所定の間隔でスリットを形成したエンコーダS07、およびキャリッジS02を移動走査させるキャリアモータ（この実施例の場合、DCモータ）S09等からなる記録部であり、60は記録部50の上方に配置され、不図示のホストコンピュータ等から送付される記録データや情報に基づいて記録装置全体を制御する制御部（コントロール部）である。なお、コントロール部60はインナーカバー601によって覆われており、インナーカバー601内にはコントロールボード602、パネルボード603が収容されている。

【0031】続いて、記録装置を構成する他の主要部を説明する。自動送給部20は伸縮自在な2枚の受け板からなる用紙受け201と駆動軸202Aに一端が支持され、他端が圧接バネ203のバネ力により、分離ローラ204に向けた当接される圧接202等で構成されている。不図示の俊車列や駆動切り替え手段を介して送給ローラ301により運動される分離ローラ204により用紙受け201上にセットされている用紙束205のうちから用紙を一枚ずつ送出する。また、搬送部30は、自動送給部20から分離ローラ204により送出される用紙Sを記録ヘッドS01のインク吐出面対向位置に導くための送給ローラ301、ピンチローラ302、送給ローラ301に運動し、排出ローラ303に駆動力を伝達する伝達ローラ304、不図示のコイルバネを介して支持される俊車405等で構成されている。さらにまた、排出部40は排出される用紙Sの長さに応じて伸縮自在に2枚のトレイ401、402で構成されている。403はトレイ401の先端に設けられたストップがあり、排出される用紙Sが落下しないよう構成されている。70は下部ケース71に収納固定される電源部であり、72は記録ヘッドS01から回復動作のために排出されたインクを収容する排出インク用タンクである。

【0032】図8は、この実施例のインクジェット記録装置の制御構成を示す回路ブロック図である。図8において、801は記録装置全体の制御を行うMPUである。

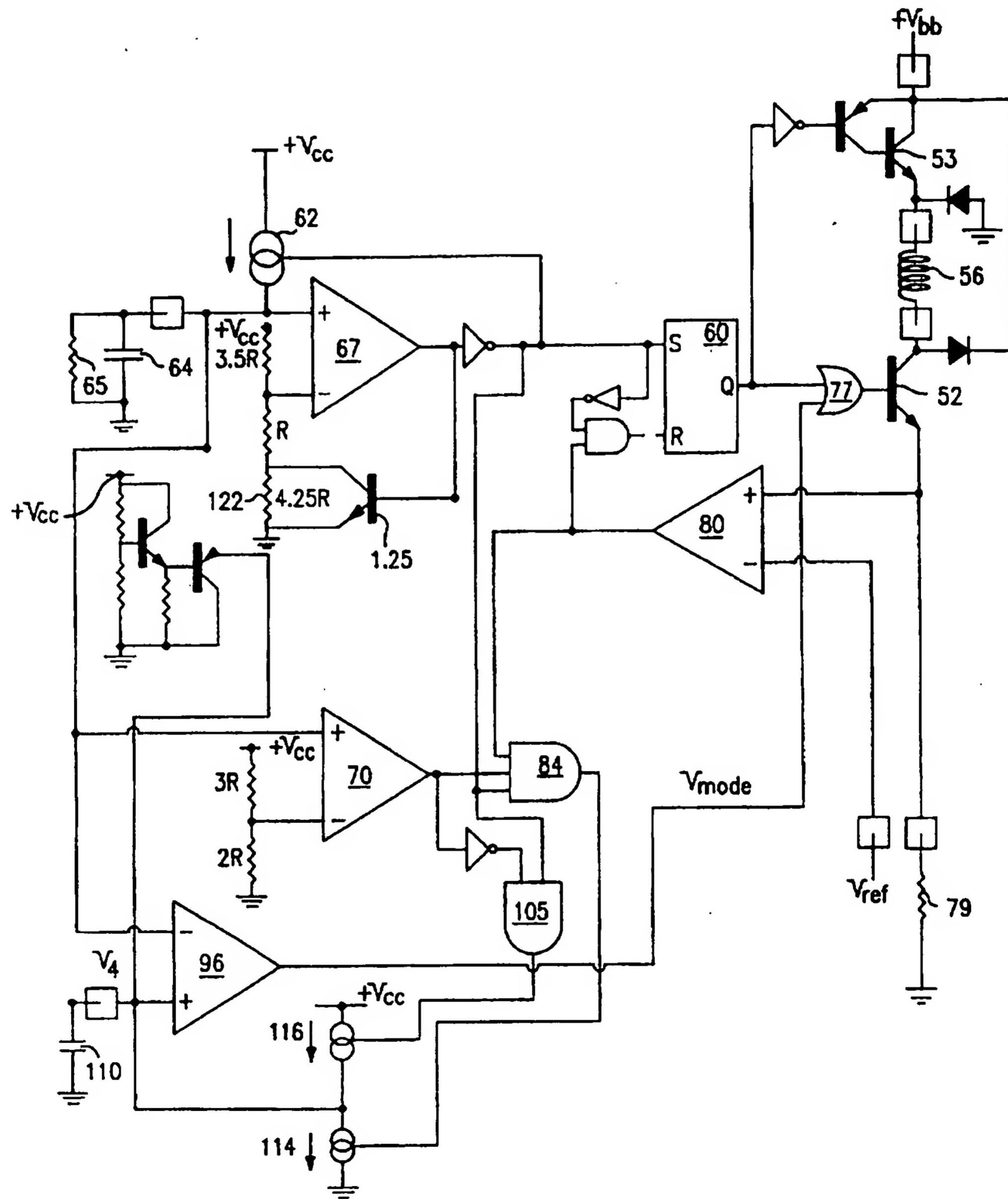


FIG. 28

り、制御上の時間管理を行うタイマ802を備えている。さらに、MPU-801には先の実施例で示したファードバック制御を行うP1D制御手段1、P1D制御手段1で算出される制御量に応じてモータ4（この実施例の場合、キャリヤモータ509）を駆動するモータドライバ3（この実施例の場合、キャリヤモータドライバ07）を制御するモータドライバ制御手段2、制御結果を比較する比較手段8、および比較手段の比較結果に応じて制御モードを選択する選択手段9等が内包されている。803はMPUの制御プログラムを収めたROMであり、図2に示した制御モードを決定する制御定数の情報もROMに収納されている。804はMPU-801の制御実行時ウーラクエリア、エンコーダ507、エンコーダセンサ部8によるキャリヤ502の速度v等の情報を蓄えるRAMである。

[0033] 805は記録装置の墨面がオフされても情報の保持が可能なEEPROMである。この実施例の場合、現在設定されている制御モードの制御定数等を保持している。806は記録ヘッドから所望の記録情報等に応じてインクを吐出する吐出セータを駆動する吐出ヒータドライバであり、807はキャリヤ502をタイミングベルト506や不図示のブーリ等を介して駆動させるキャリヤモータ509を駆動するキャリヤモータドライバである。808は搬送ローラ301や分離ローラ204を駆動させる搬送モータ809を駆動制御する搬送モータドライバである。810は用紙Sの搬送部30内での有無の状態や用紙Sの先端や後端を検出するためのセンサである。また、811は記録ヘッドを記録するのに適する状態に復帰あるいは記録状態に適した状態に維持するための不図示の回復系を駆動する回復系モータドライバである。813は回復系を構成する不図示のカム等の動作位置を検出ためのセンサである。814は記録装置とポストコンピュータ等を接続するインターフェイスであり、このインターフェイス部を介して記録装置はポストコンピュータ等の情報の交換が可能に構成されている。

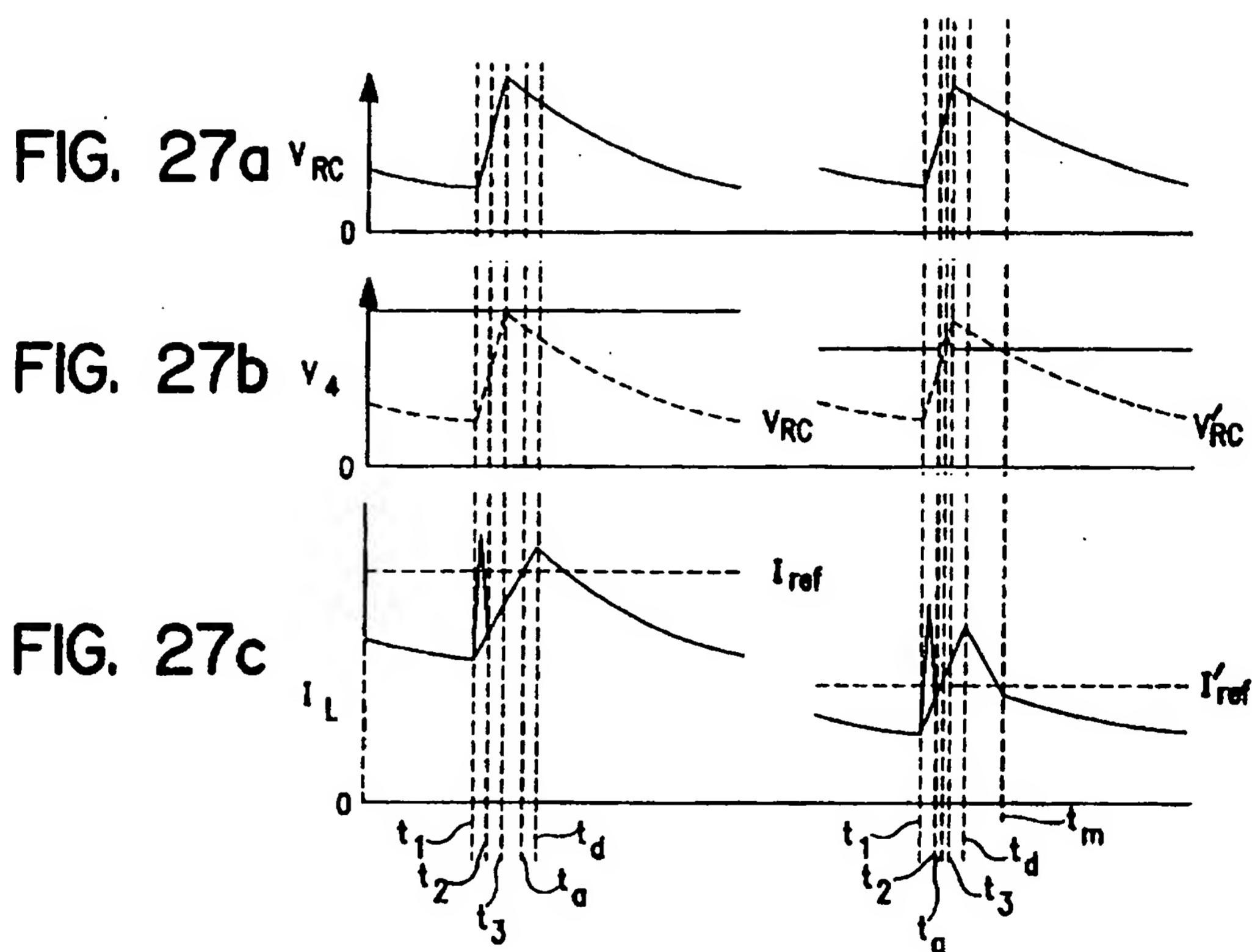
[0034] 次に、図3を参照してこの実施例の記録装置におけるキャリヤモータ509の制御動作を説明する。ポストコンピュータ等からの記録動作開始命令によってキャリヤモータ509の駆動命令が入力されると、P1D制御手段は速度偏差算出手段10と、図2に示したような異なる制御定数の組K0、K1、Kdより構成される複数の制御モードのうち予め設定されている所定の制御定数で構成される制御モード、例えば、制御モード0に準じて制御量を算出し（ステップS101、ステップS102）、算出量に応じてモータドライバ制御手段2、モータドライバ3であるキャリヤモータドライバ07、モータ4であるキャリヤモータ509、制御対象5であるキャリヤ502が駆動される（ステップS103）。

[0035] キャリヤ502の運動により得られる運動結果である速度vはエンコーダ507、エンコーダセンサ508により構成される速度検出手段6によって検出され（ステップS104）。その検出結果はRAM804の検出結果保持手段7に保持される（ステップS105）。ここで、速度検出手段6による検出はエンコーダ507上に印字等で所定の距離で構成されたスリットをキャリッジ502に設けられたエンコーダセンサ部508によって検出し、所定のスリット間距離を移動する時間と所定のスリット間距離からキャリヤ502の速度vを算出している。

[0036] この実施例の記録装置のエンコーダは3.60.0.1(0, 07036mm) 固定で300mmの長さにわたり構成されている。ここで、この実施例のキャリヤの加速度は等加速度運動であり、加速度距離は1.5mmであり、目標到達速度は前述のように4.31.8mm/secである。この実施例の場合、保持手段7に保持された速度vと加速度距離を通過する時間より平均加速度を算出し、算出した加速度vが比較手段8により後述の比較値と比較される（ステップS106）。この実施例では、目標速度として4.31.8mm/secとしている。これは記録ヘッドの応答周波数5.12kHz、記録密度3600dpiに対応したキャリヤ速度となっている。

[0037] さて実施例の場合、実施例1と同様に、比較値は装置の要求される許容範囲内の限度の値であって許容範囲内の最大速度Amexと最小速度Amminであり、この場合、Amexは加速度と目標速度より算出される加速度の+5%、Amminは、同様に、-5%に設定されている。ステップ106において、検出結果速度vから算出される加速度が許容範囲内であれば、制御モードの変更はしないまま終了する。ステップS106において、キャリヤ502に搭載されている記録ヘッドヘインクを供給するインクタンク505のインクが消耗され、キャリヤの重量が大きく変化したこと等により許容範囲外と判断された場合にはステップS108において現在設定されている制御モードでない制御モードが選択される。

[0038] ここでは、例えば、図2に示した制御モードを選択する、ここで、新たな制御モードが選択されても同時にP1D制御手段に反映されず一連の記録動作が終了するまで更新を待機する（ステップS107）。待機している間は、選択された制御モードでの制御は行われず、現在設定されている制御モードで制御され、一連の動作を終了した後に更新される。制御モードが更新されると、記録装置はイニシャル動作に移行し、制御モードによる制御結果を同様に比較する。ここで再び許容範囲外の制御結果と判断されると、再び後述する異なる制御モードを選択し、イニシャル動作であるので、直ちに制御モードを更新し同様に制御結果を比較する。イニシ



タル動作に移行してから固定された制御モードとは異なる制御モードを選択し具体的には許容範囲内に収束する制御モードが選択更新される。こうして更新されて制御モードに関する情報はEEPROM 003に保持される。このようにして、制御モードの制御結果が最初の実験等系に外乱が加わった結果許容範囲外となった場合であっても簡単な構成により別の経路で制御モードに更新され、制御結果の許容範囲内への収束が達成される。また、制御モードの更新は一連の記録動作の終了後に行われる構成としたため1ページ内での制御モードの変更による記録結果の劣化は見られない。

【0039】(実施例5)また、記録装置が、キャリヤ502から記録ヘッド501やインクタンク503を取り外し、キャリヤにスキャナ等の情報入力手段が搭載可能な構成されている場合には、キャリヤにスキャナ等の情報入力手段が搭載可能に適用でき、さらにこの場合には、記録ヘッド501やインクタンク503やスキャナ等が交換されたことを検出する不回示の交換検出手段を設け、実施例2による制御方法を用い、スキャナや記録ヘッド、インクタンク等が交換された場合に制御モードによる制御結果を比較する指示を行うこともできる。

【0040】

【発明の効果】以上説明したように、制御系に制御結果が不安定にあるような負荷の変動のような外乱が加わっても安定に制御できる。

動作のフローチャートである。

【図4】図4は、本発明の実施例1のモータ制御装置の回路ブロック図である。

【図5】図5は、本発明の実施例2のモータ制御装置の動作のフローチャートである。

【図6】図6は、本発明の実施例3のモータ制御装置の動作のフローチャートである。

【図7】図7は、本発明のモータ制御装置を適用した記録装置の概略断面図である。

【図8】図8は、記録装置の回路ブロック図である。

【符号の説明】

- 1 P10制御手段
- 2 モータドライバ制御手段
- 3 モータドライバ
- 4 モータ
- 5 制御対象
- 6 速度検出手段
- 7 検出結果保持手段
- 8 検出結果比較手段
- 9 制御モード選択手段
- 10 倍差算出手段
- 11 比較指示手段
- 20 自動給送部
- 30 給送部
- 40 排出部
- 50 記録部
- 501 記録ヘッド
- 502 キャリヤ
- 507 エンコーダ
- 508 エンコーダセンサ部
- 509 キャリヤモータ

【図面の簡単な説明】

【図1】図1は、本発明の実施例1のモータ制御装置の回路ブロック図である。

【図2】図2は、本発明の各実施例の制御モードを説明するための図である。

【図3】図3は、本発明の実施例1のモータ制御装置の

【図2】

モードコード	制御モード
制御モード0	(R0, R1, R2)
制御モード1	(R0, R1, R3)
制御モード2	(R0, R1, R4)
制御モード3	(R0, R1, R5)
制御モード4	(R0, R1, R6)

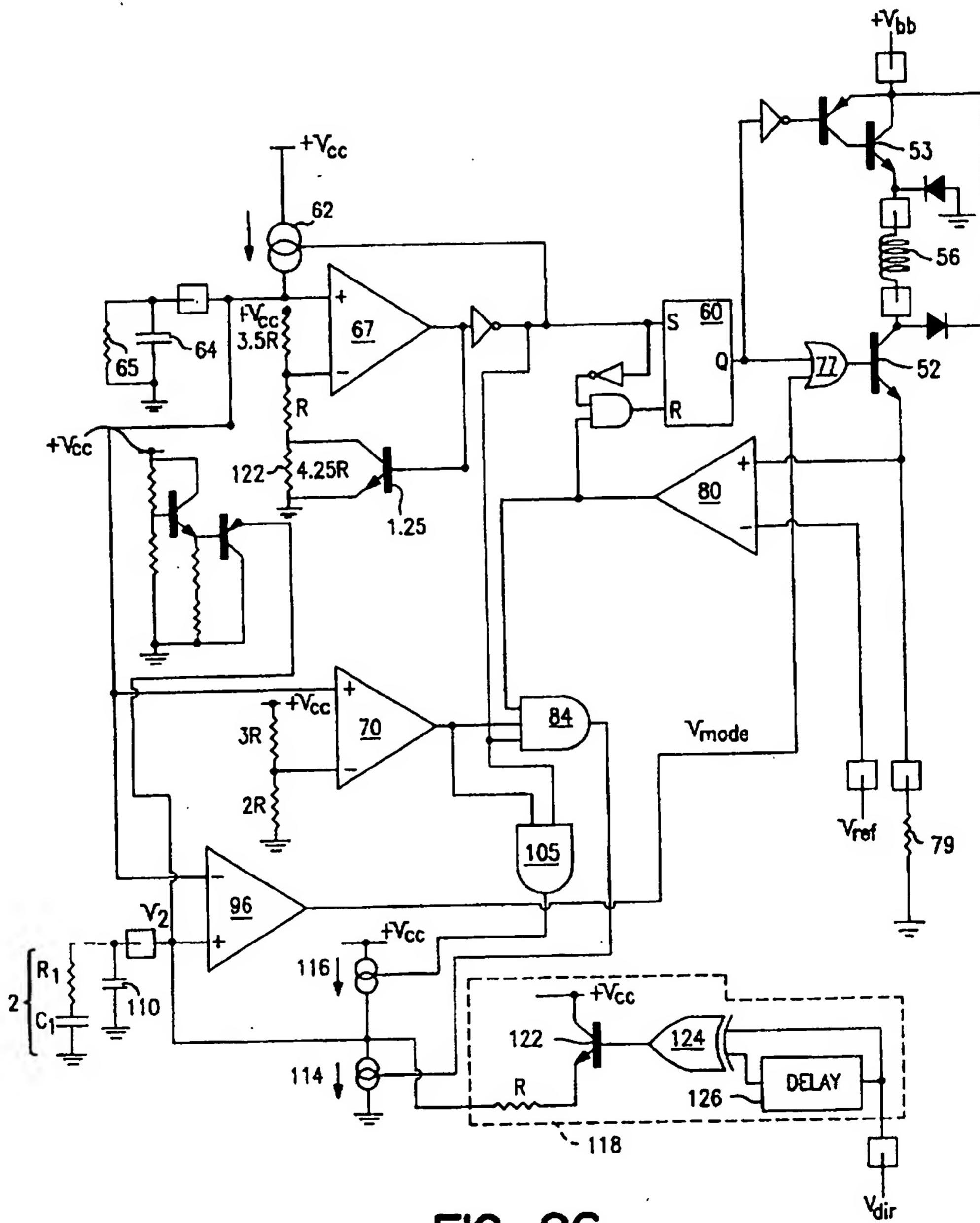
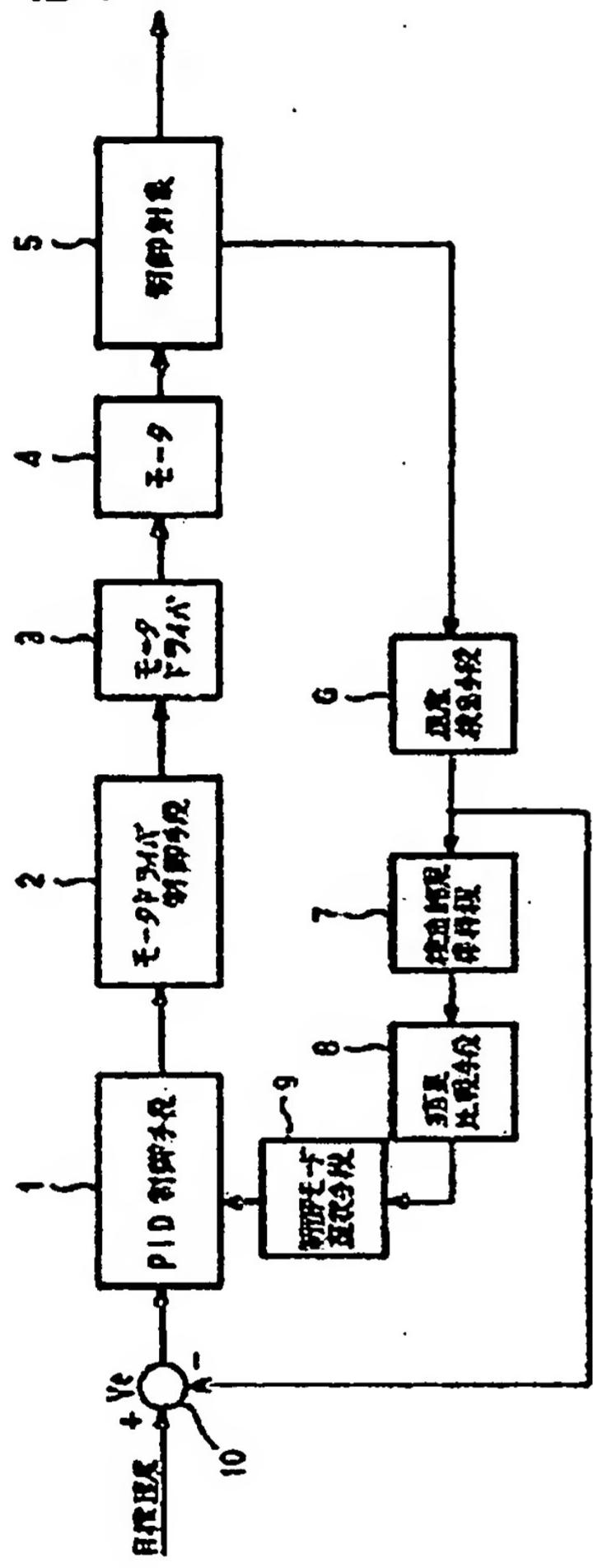


FIG. 26

(図 1)



(図 4)

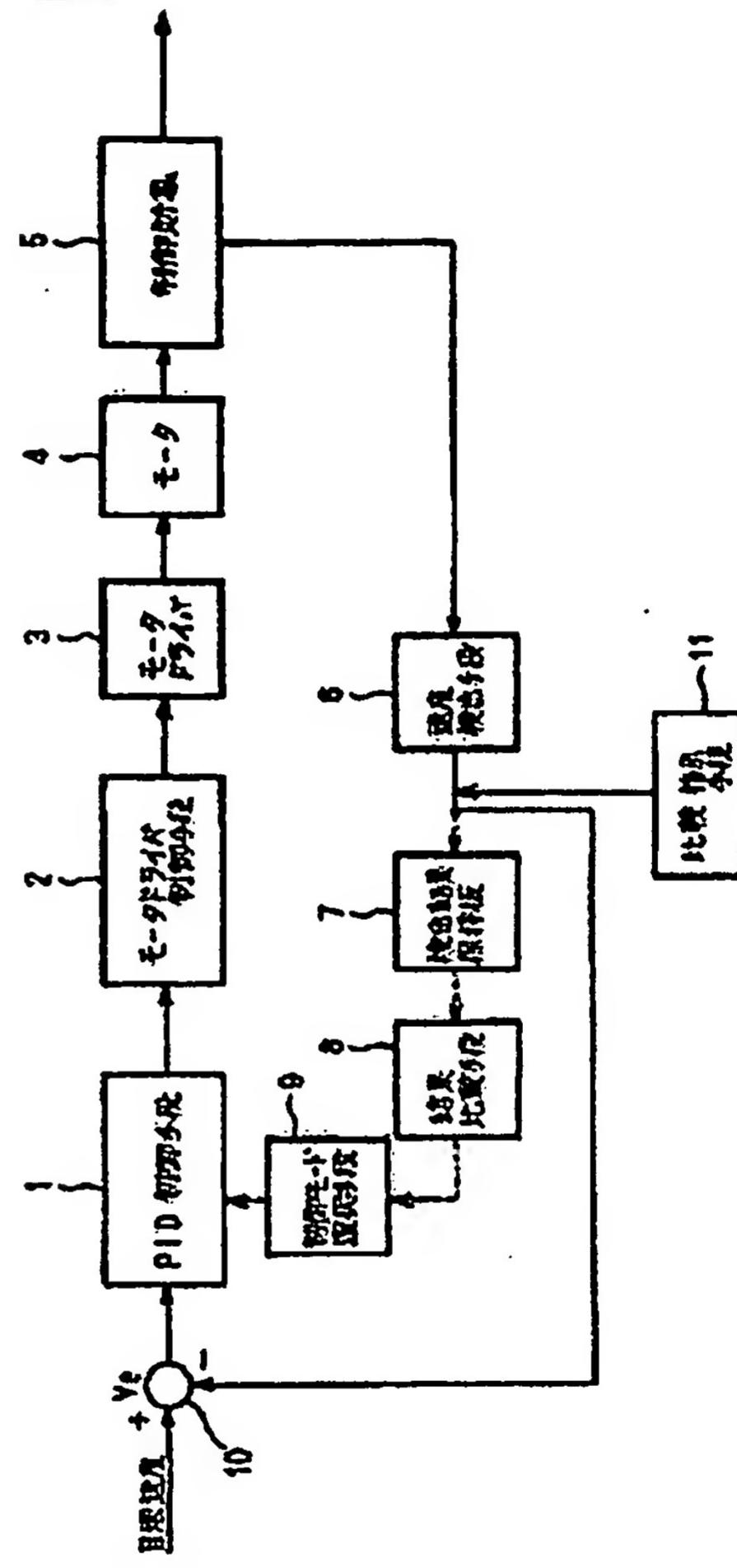
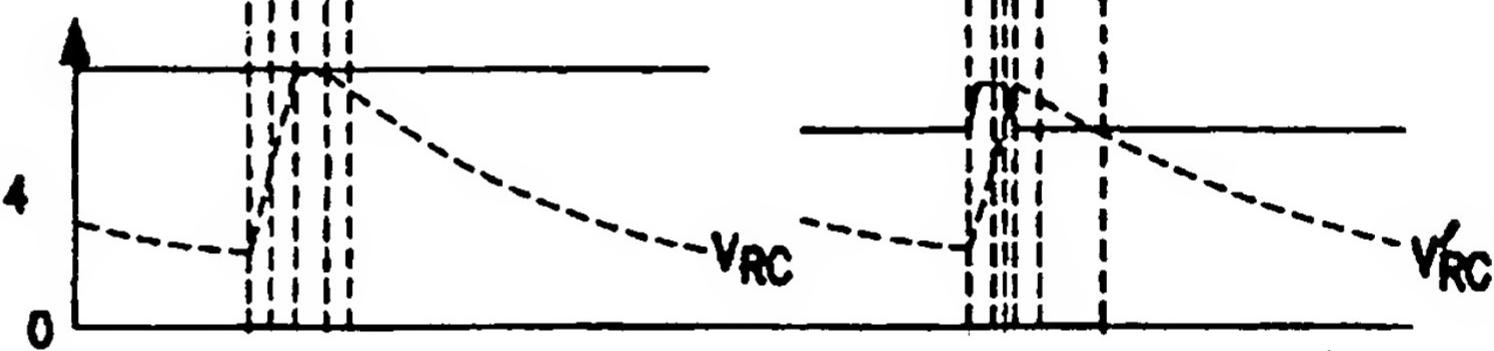
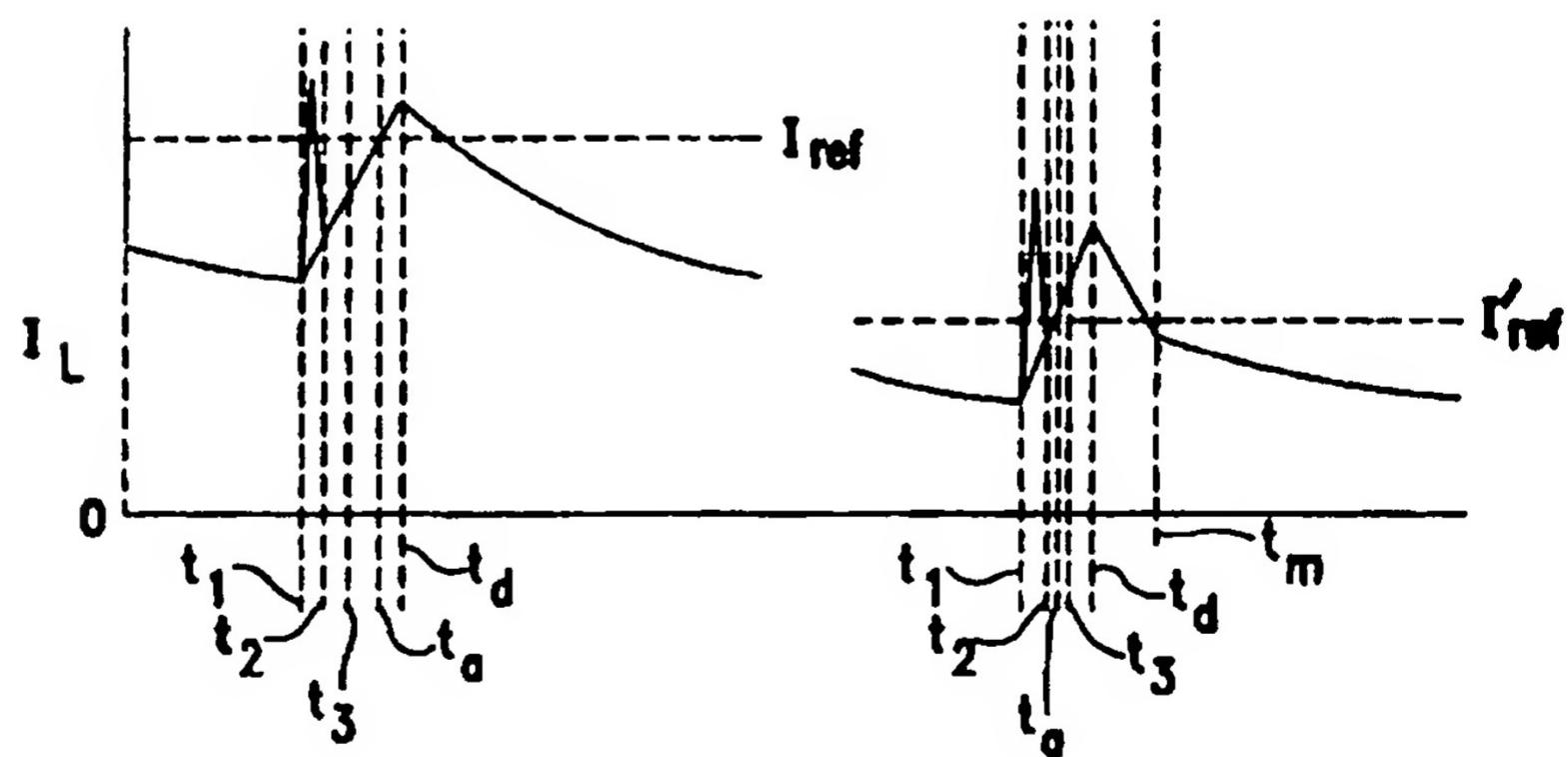
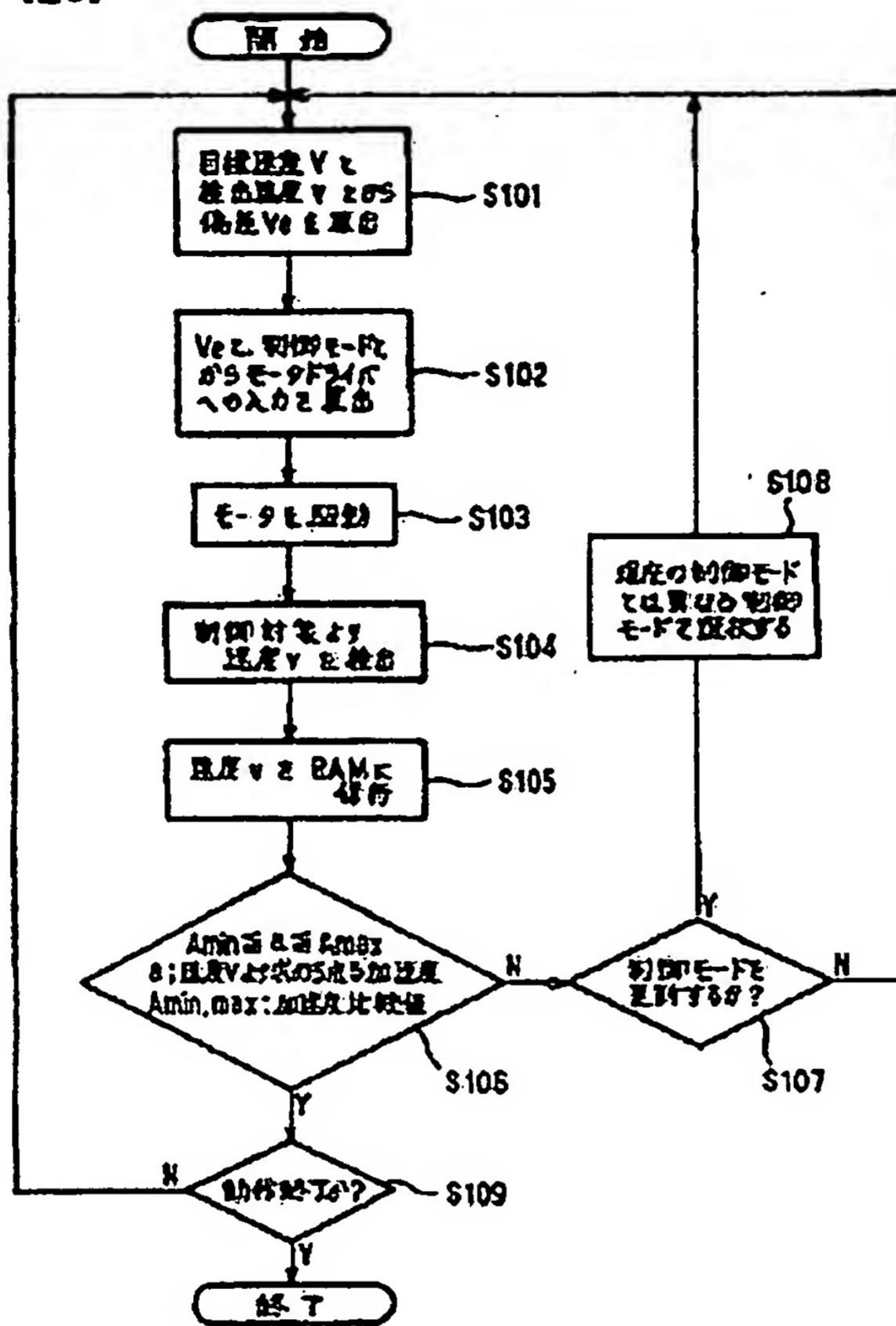


FIG. 25a**FIG. 25b****FIG. 25c**

[図3]



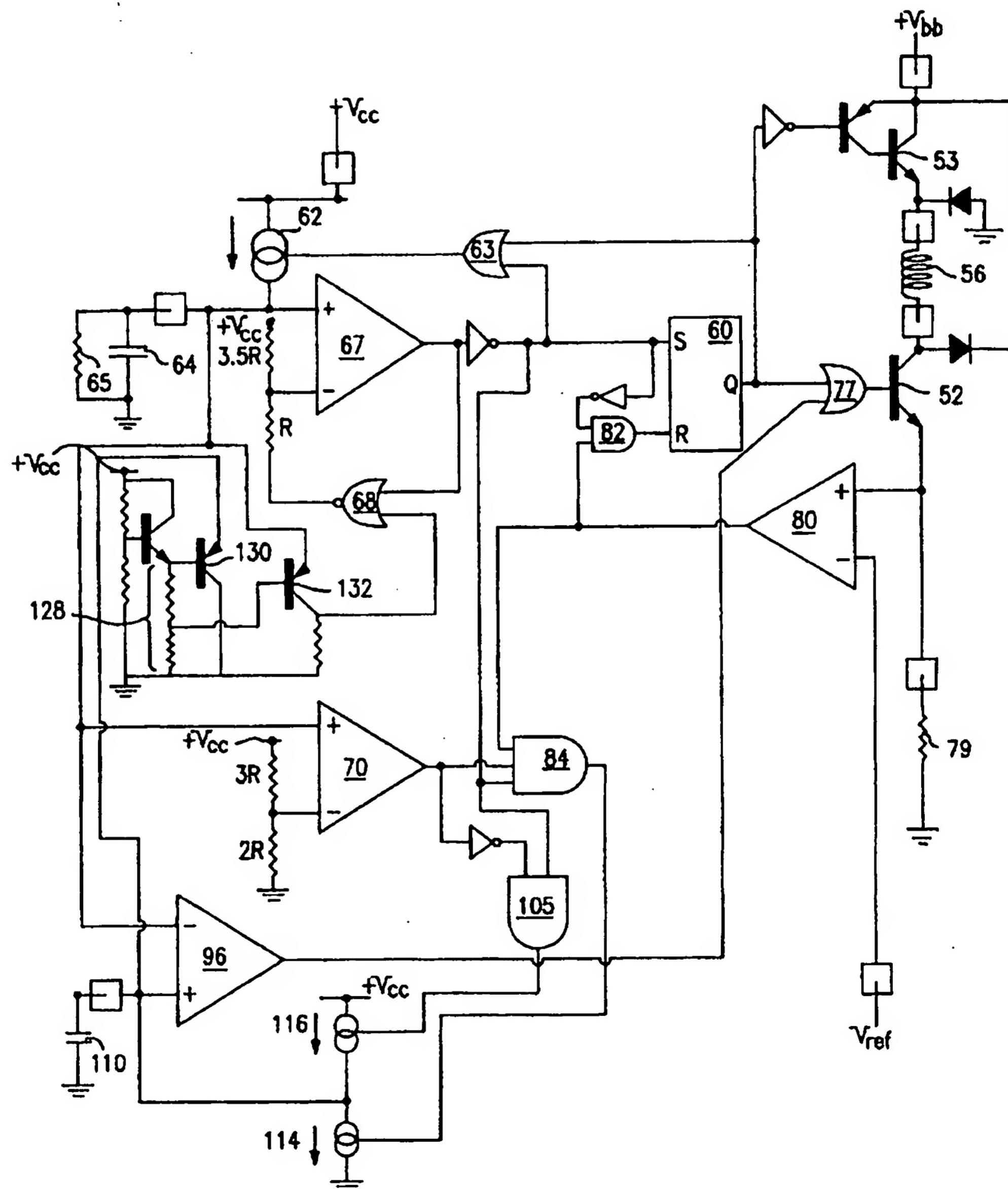
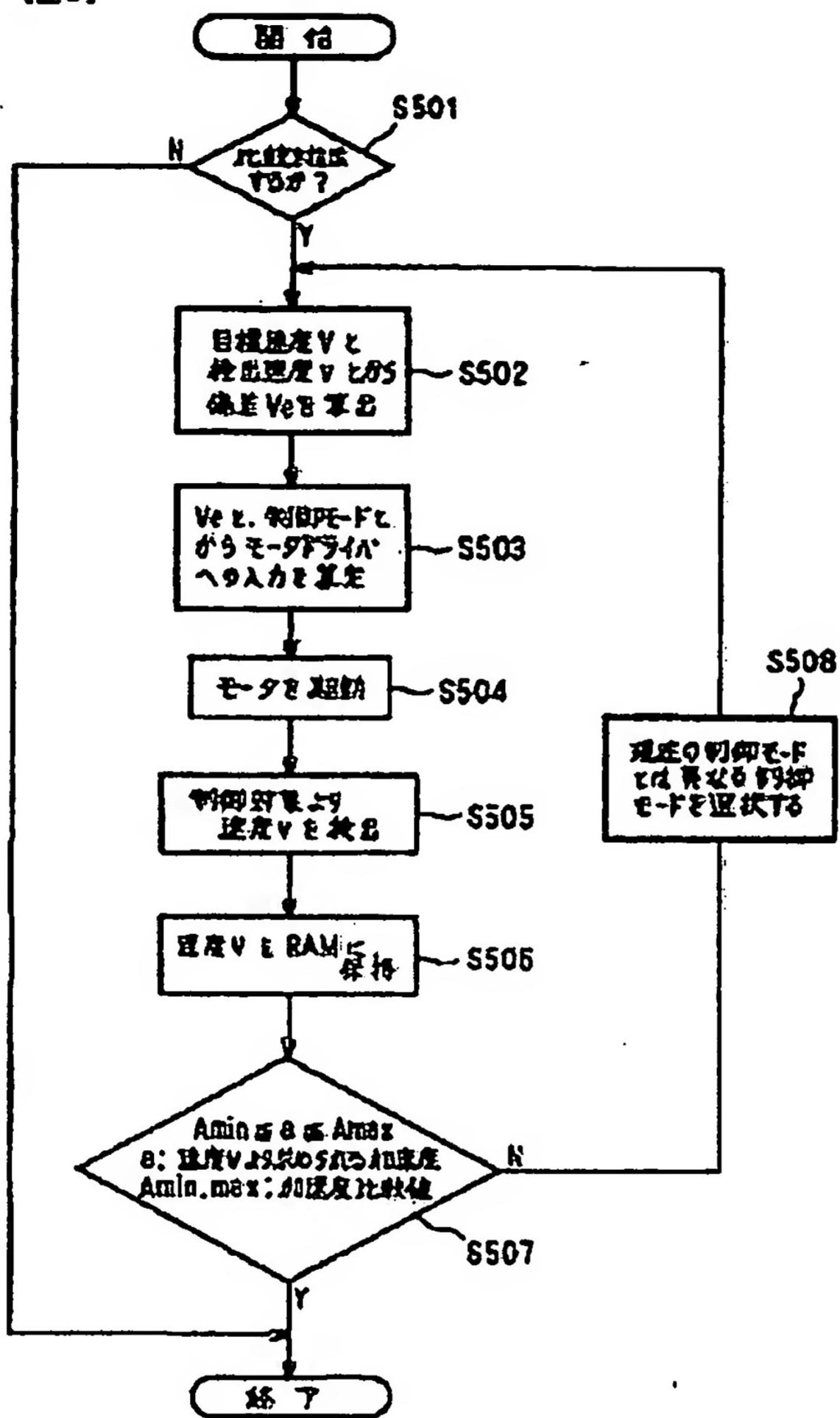
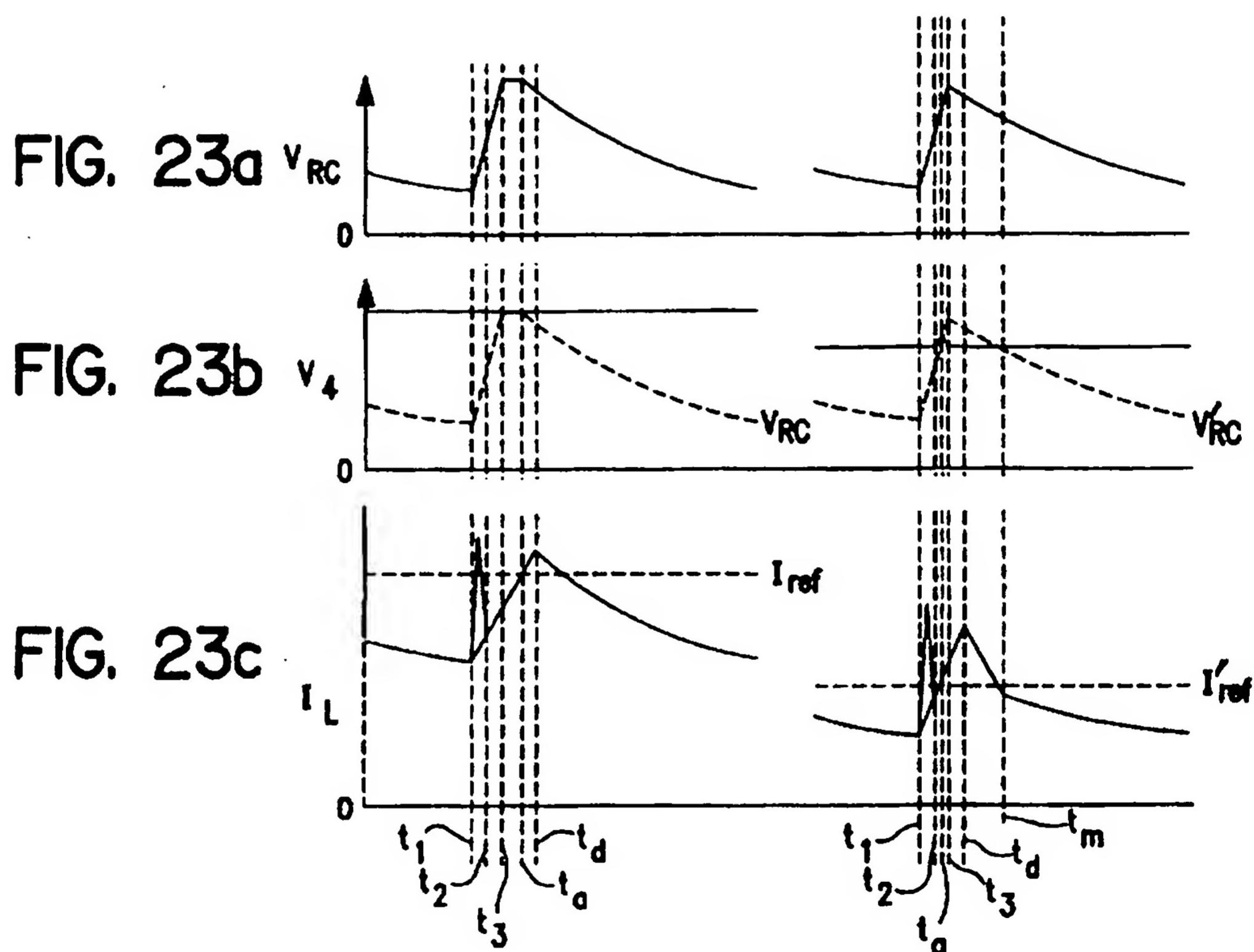


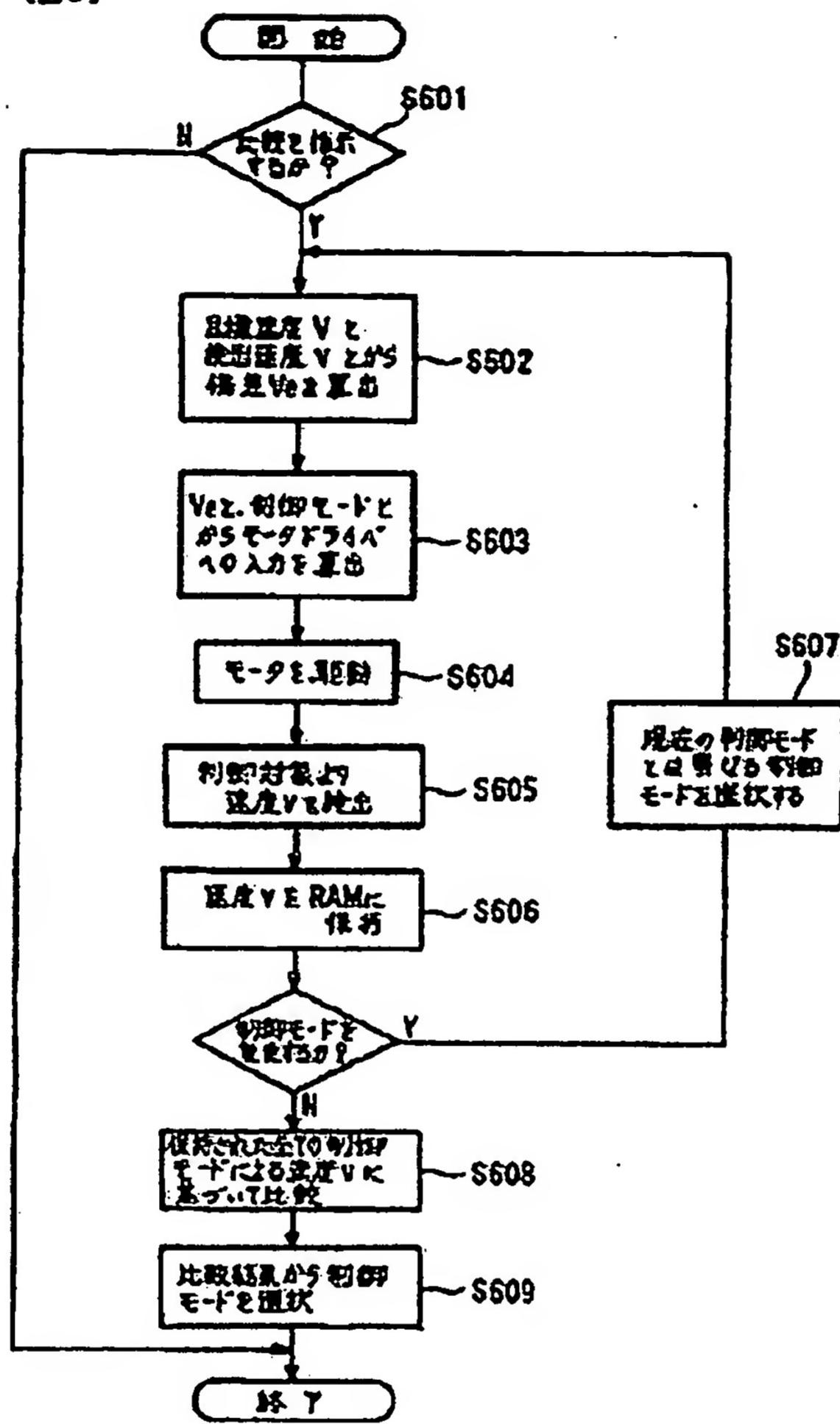
FIG. 24

(図5)





(図5)



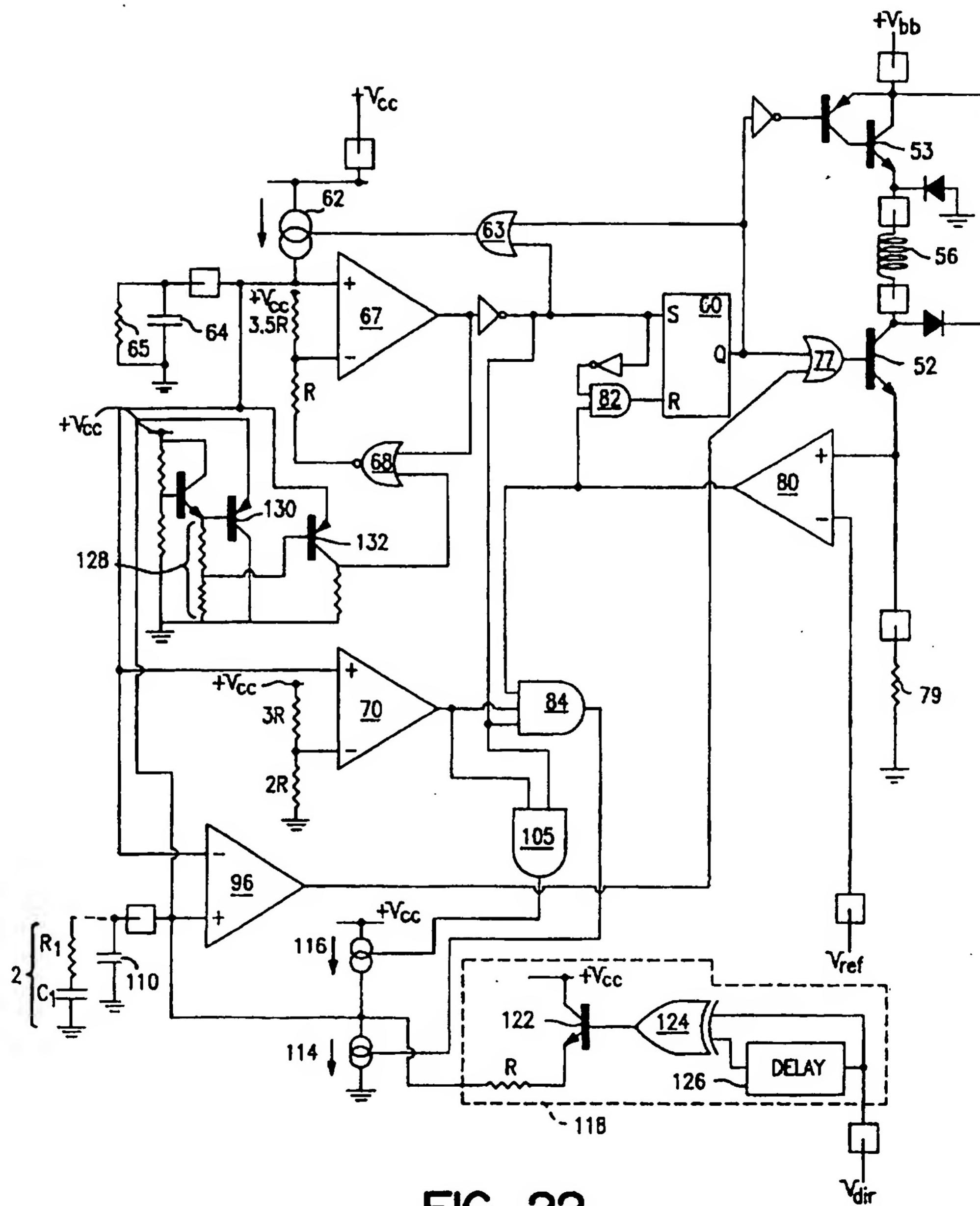
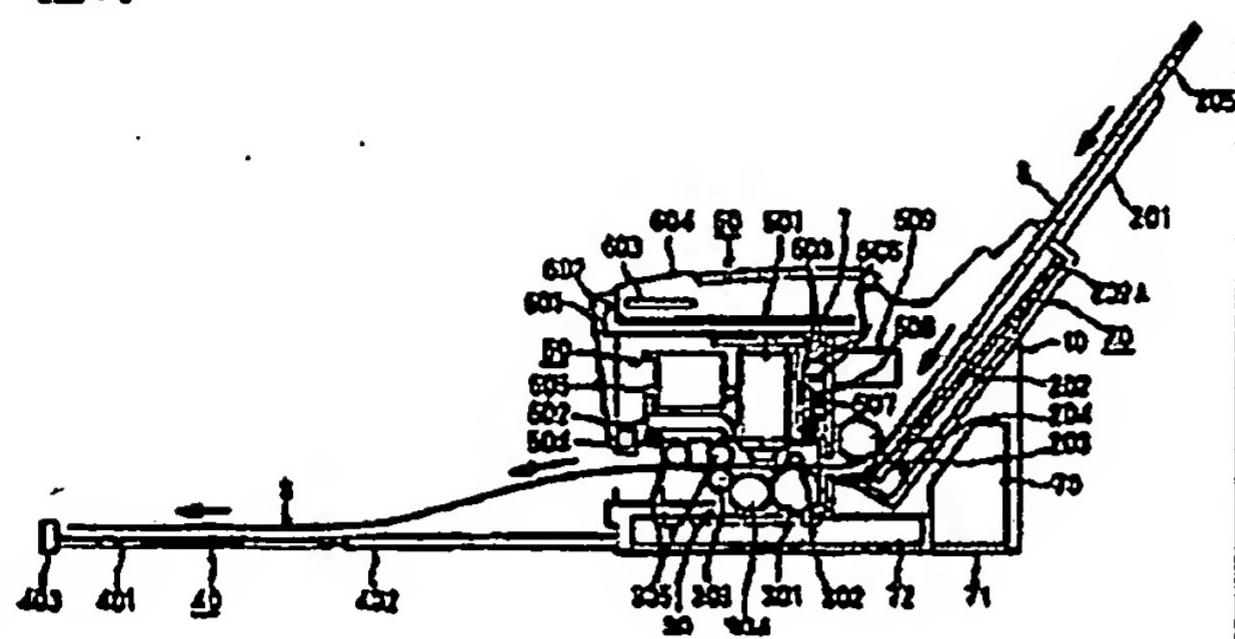
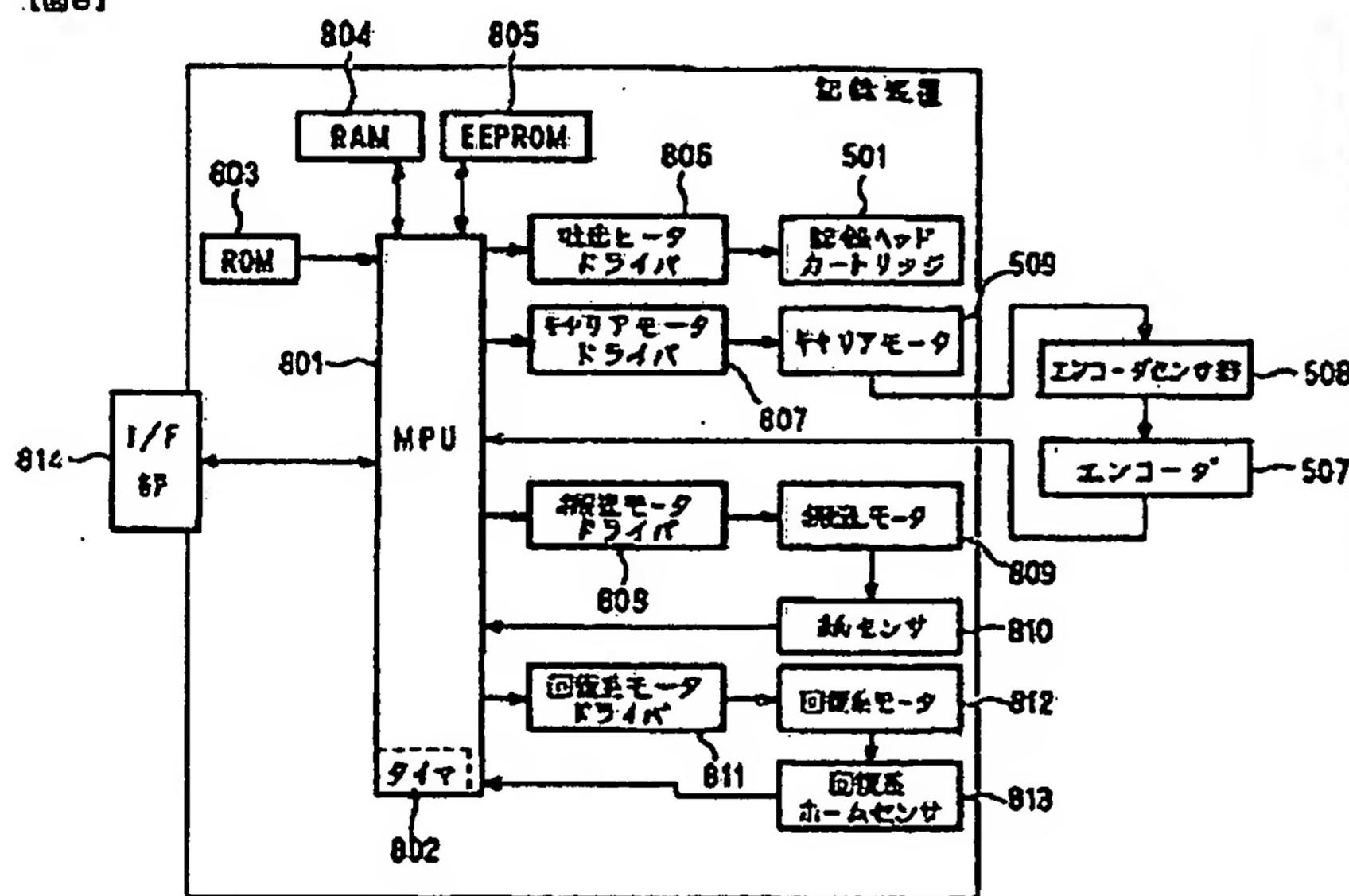


FIG. 22

〔187〕



〔四八〕



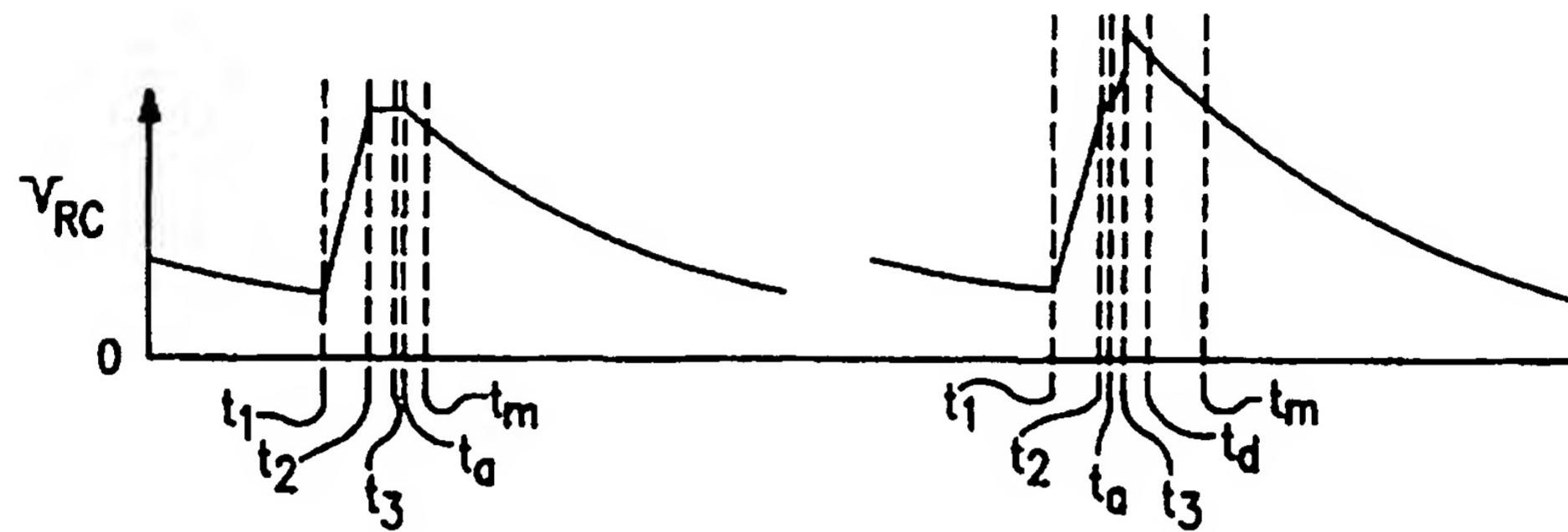


FIG. 2la

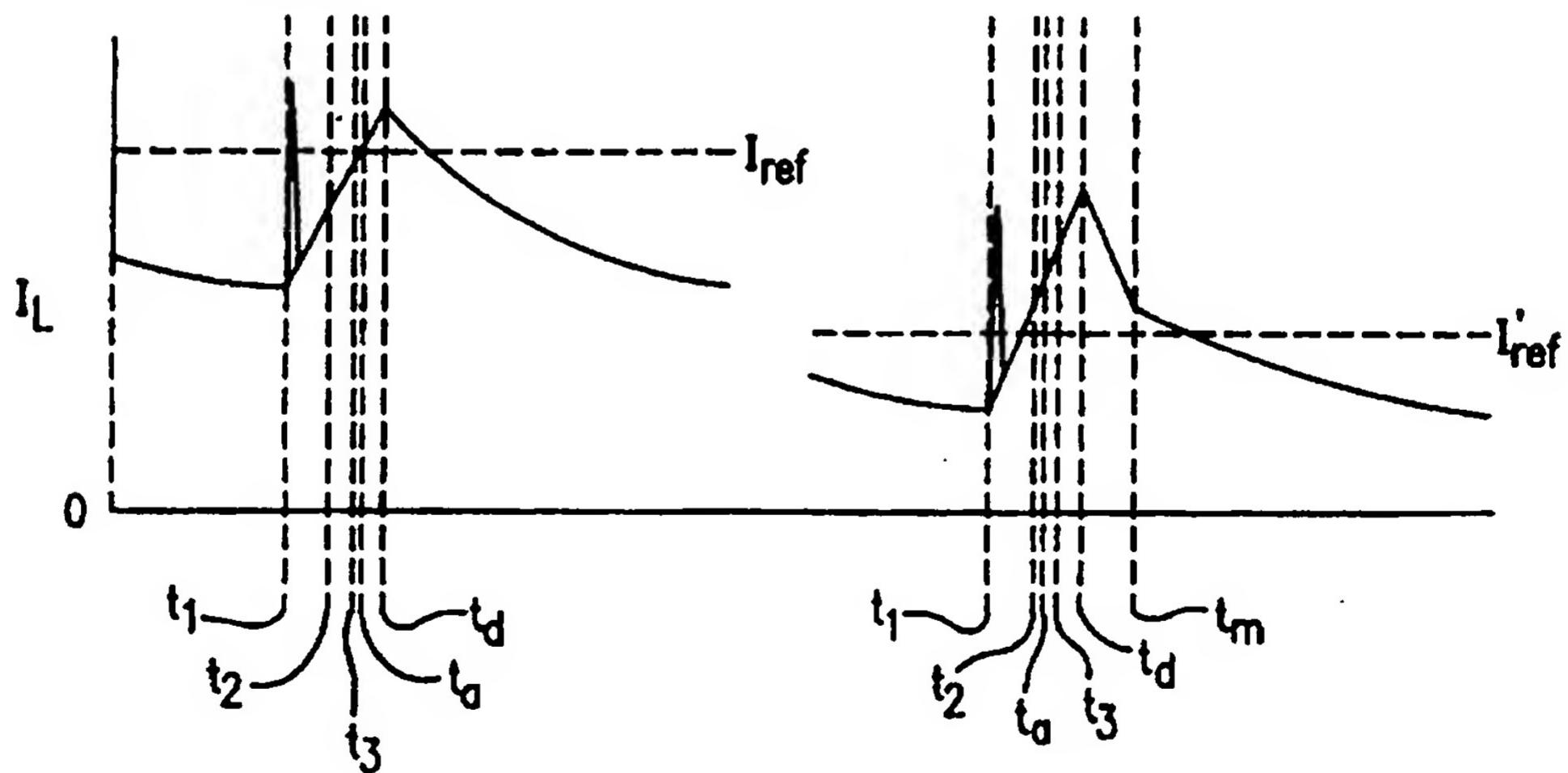


FIG. 2lb

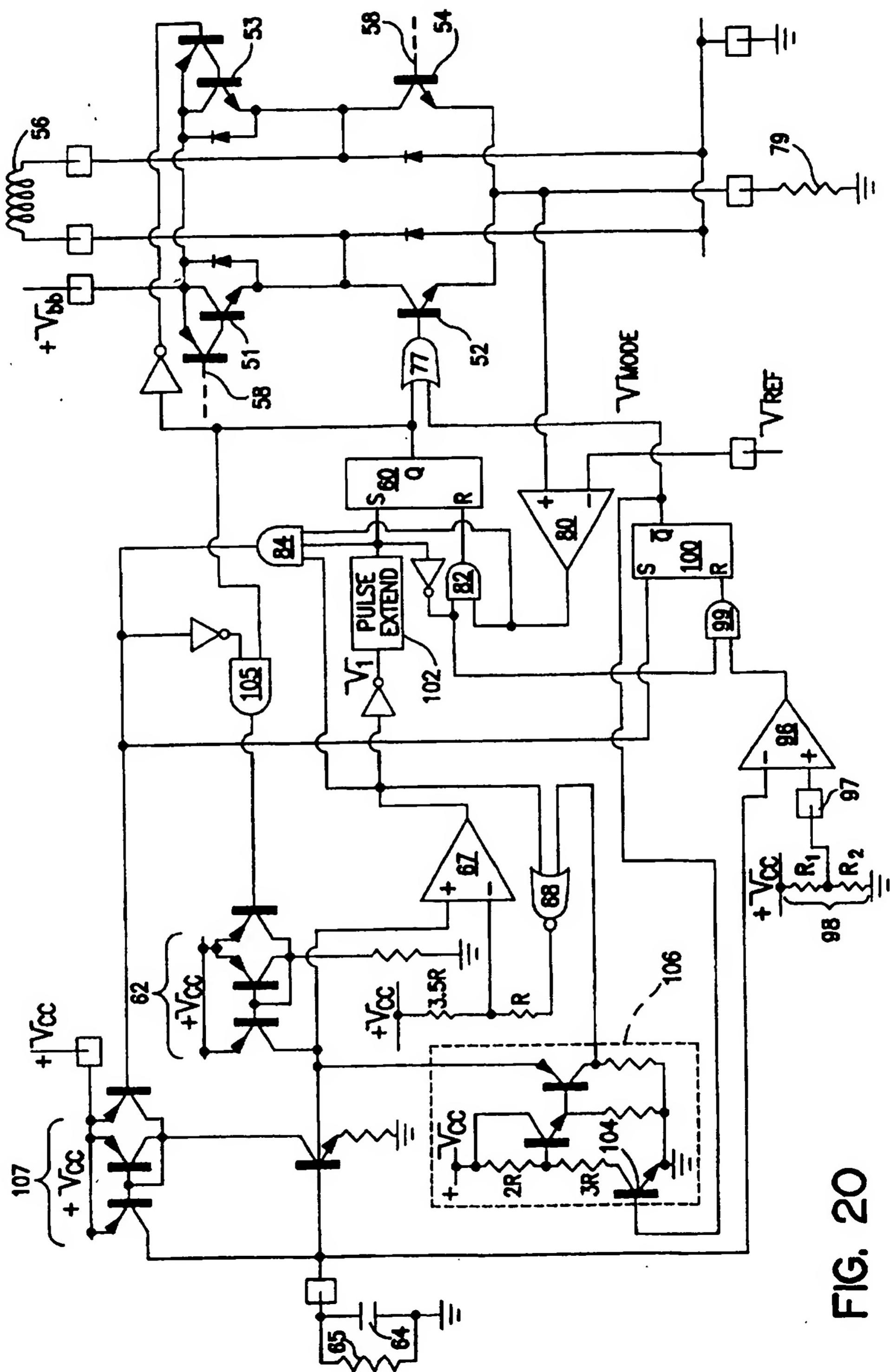


FIG. 20